

**T.C.**  
**KONYA TEKNİK ÜNİVERSİTESİ**  
**MÜHENDİSLİK VE DOĞA BİLİMLERİ FAKÜLTESİ**  
**ELEKTRİK-ELEKTRONİK MÜHENDİSLİĞİ BÖLÜMÜ**

**LOJİK DEVRE TASARIM LABORATUARI**  
**DENEY FÖYÜ**

**Devreler ve Sistemler Anabilim Dalı**

**KONYA-2022**

## **DENEYLER & KULLANILACAK ELEMANLAR**

### **1. Lojik Kapılar ve Karakteristikleri (TTL & CMOS)**

74LS00, 74LS08, 74LS32 (TTL)  
74HC00, 74HC08, 74HC32 (CMOS)

### **2. Kod Çözücü (Decoder), Kod Çevirici, Display**

<b>Entegre</b>	<b>Açıklama</b>	<b>Adet</b>
7486	Dörtlü 2 girişli XOR kapısı	1
7447	7- segment decoder (display sürücü)	1
7400	Dörtlü 2 girişli NAND kapısı	2
7408	Dörtlü 2 girişli AND kapısı	1
74138	tümleyen çıkışlı decode	1
100 ohm	Direnç	7
Display	7 segment ortak anotlu gösterge (display)	1

### **3. FLİP-FLOP TASARIMI**

<b>Entegre</b>	<b>Açıklama</b>	<b>Adet</b>
7400	Dörtlü 2 girişli NAND	1
7402	Dörtlü 2 girişli NOR	1
7404	Altılı inverter	1
7408	Dörtlü 2 girişli AND kapısı	1
7411	Üçlü 3 girişli AND	1
7427	Üçlü 3 girişli NOR	1
7476	İkili JK tipi Flip-Flop	1

### **4. SAYICI TASARIMI**

<b>Entegre</b>	<b>Açıklama</b>	<b>Adet</b>
7476	ikili JK Flip-Flop	2
7408	dörtlü 2 girişli AND	2
7493	BCD sayıcı.	2

### **5. DİJİTAL/ANALOG ve ANOLOG/DİJİTAL DÖNÜŞTÜRÜCÜLER**

<b>Entegre</b>	<b>Açıklama</b>	<b>Adet</b>
DAC0800	Dijital Analog Converter	1
ADC0804	Analog Dijital Converter	1
100nf	Kondansatör	3
150pf	Kondansatör	2
10µF	Kondansatör	1
50kΩ	Trimpot veya potansiyometre	1

### **6. REGİSTERLAR ARASI VERİ ALIŞ-VERİŞİ**

Herhangi bir eleman getirilmeyecektir. Deney hazır devre üzerinden yapılacaktır.

**DENEY NO** :1  
**DENEYİN ADI** :Lojik Kapılar ve Karakteristikleri  
**DENEYİN AMACI** :Lojik kapılara giriş, TTL ve CMOS kapı elemanlarının elektriksel karakteristiklerinin incelenmesi

### DENEY HAKKINDA TEORİK BİLGİ:

Lojik kapılar mantıksal kararlar veren elektronik devrelerdir. Başlıca lojik kapılar VE (AND), VEDEĞİL (NAND), VEYA(OR), VEYADEĞİL(NOR), DEĞİL(NOT)'dir. Lojik kapılar iki durumlu lojik elemanlardır. Başka bir deyişle çıkışlarında ya lojik 1 ya da lojik 0 olabilir. Çıkışın lojik 1 veya 0 olması lojik kapıların girişlerine ve kapının fonksiyonuna bağlıdır. Lojik kapıların giriş ve çıkışları arasındaki ilişki üç farklı şekilde gösterilebilir. Bunlar, Boolean Cebri (Boolean Algebra), Doğruluk Tablosu (Truth Table) ve Zamanla Diyagramı (Timing Diagram)'dır.

Boolean açıklamalarında değeri sadece lojik 1 veya 0 olabilen A,B,C,Y,Z gibi değişkenler ve kapı fonksiyonunu tanımlayan +, •, = gibi işlemler kullanır. Doğruluk tablosunda ise kapının olası bütün girişleri için çıkışının ne olacağı tablo şeklinde verilir. Zamanlama diyagramı ise zamanla değişen dalga şekilleri kullanarak kapının olası tüm dalga şekillerinde nasıl çalıştığını göstermektedir.

Kapı	Boolean	Doğruluk Tablosu	Zamanlama Diyagramı	Sembolü															
DEĞİL kapısı	$Y=\bar{A}$	<table border="1"> <thead> <tr> <th>A</th> <th>Y</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> </tr> </tbody> </table>	A	Y	0	1	1	0											
A	Y																		
0	1																		
1	0																		
VE kapısı	$Y=A \cdot B$	<table border="1"> <thead> <tr> <th>A</th> <th>B</th> <th>Y</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> </tr> </tbody> </table>	A	B	Y	0	0	0	0	1	0	1	0	0	1	1	1		
A	B	Y																	
0	0	0																	
0	1	0																	
1	0	0																	
1	1	1																	

**NOT:** Doğruluk tablolarında birinci satırın dışında karşılaşacağınız X'in anlamı lojik 1 veya 0'dır. Yani lojik 1 veya 0 olması ilgili elamanın çıkışını etkilemez.

### Lojik Kapı Aileleri:

Lojik kapılar, giriş ve çıkışları arasındaki fonksiyonu yerine getirecek şekilde tasarlanmış elektronik devrelerdir. Dolayısıyla tasarımında kullanılan elektronik devre elemanlarının özelliklerini yansıtır. Bu özellikler besleme gerilimi, giriş/çıkış gerilim seviyeleri, çektiği güç, çalışma hızı gibi parametrelerdir ve bu parametreler her lojik kapı ailesi için farklı değerler alır. Dolayısıyla akılda tutulması gereken nokta tasarımın ihtiyacına göre lojik kapı ailesi seçilmeli ve lojik kapı aileleri arasında uyumsuzlukların olduğu bilinmelidir.

Lojik kapılar bütünleşmiş devreler (Integrated Circuits, IC) denilen ileri teknoloji ile üretilirler. Bu teknoloji ile çok sayıda transistör, diyot, direnç vb. bir araya getirilebilir. Bütünleşmiş devreler, içlerindeki kapı sayısına göre aşağıdaki gibi sınıflandırılabilir.

Kapı Sayısı	Kategori	Kısaltma
1-12	Küçük Ölçek Bütünleşme (Small Scale Integrated)	SSI
13-99	Orta Ölçek Bütünleşme (Medium Scale Integrated)	MSI
100-9.999	Büyük Ölçek Bütünleşme (Large Scale Integrated)	LSI
10.000-99.999	Çok Büyük Ölçek Bütünleşme (Very Large Scale Integrated)	VLSI
100.000 ve üzeri	Çok Yüksek Ölçek Bütünleşme (Ultra High Scale Integrated)	UHSI

MOS (

CMOS(Complementary Metal Oxide Semiconductor Logic) ailesi,  
PMOS (P-type Metal Oxide Semiconductor Logic) ailesi,  
NMOS (N-type Metal Oxide Semiconductor Logic) ailesi)

Biopolar (

RTL (Resistor Transistor Logic) ailesi,  
DTL (Diode Transistor Logic) ailesi,  
TTL (Transistor Transistor Logic) ailesi,  
I<sup>2</sup>L (Integrated Injection Logic) ailesi,  
ECL (Emitter Coupled Logic) ailesi )

teknolojileri olmak üzere bütünleşmiş devre üretiminde iki ana teknoloji ve bu teknolojilerin alt aileleri vardır. Yaygın olarak kullanılan lojik aileler TTL ve CMOS'dur.

#### **Lojik Kapı Parametreleri ve TTL & CMOS Karşılaştırması:**

Lojik kapıları bir araya getirerek en verimli tasarımı yapabilmek için lojik kapıların sınırlarının yani parametrelerinin bilinmesi gerekir. Lojik kapı parametreleri ve en yaygın olan TTL ve CMOS lojik ailelerine ait parametreler aşağıda incelenecektir.

**Yapıları:** TTL yapılarında bipolar transistörler kullanılır. CMOS lojik ailesi, mantık fonksiyonlarını oluşturacak şekilde birbirine bağlı her iki tip (hem n-kanallı hem p-kanallı FET) MOS elemanlarından oluşmaktadır.

**Besleme Gerilimi / Güç Kaynağı (Supply Voltage / Power Supply):** Besleme gerilimi kapının çalışması için gerekli olan enerjiyi sağlar ve bütün lojik kapı ve entegrelerin çalışabilmesi için gereklidir. TTL entegreler +5V'a ihtiyaç duyarken,+15, +5V, +3.3V, +2.5V, + 1.2V gibi farklı besleme gerilimlerinde çalışan CMOS entegreler vardır. DC besleme geriliminin pozitif ucu entegrelerin V<sub>CC</sub> veya V<sub>DD</sub> olarak isimlendirilmiş ucuna, besleme geriliminin toprağı da GND ucuna bağlanmalıdır. Hem pozitif hem toprak uçları entegre içerisindeki bütün kapılara üretim esnasında taşınır.

**Giriş/Çıkış Gerilim Seviyeleri:** Lojik tasarımda kullanılan ikili sayı sistemindeki 1 ve 0'a karşılık gelen, yukarıda kapılardan bahsederken de kullandığımız "lojik 0" ve "lojik 1" kavramları, sayısal elektronik de belirli gerilimlere karşılık gelir. Lojik gerilimlerin kullanımında literatürde iki farklı yaklaşım vardır. Bunlar pozitif lojik(positive veya active high logic) ve negatif lojik (negative veya active low logic)tir. Pozitif lojikte; 0V lojik sıfırı (0), +V<sub>CC</sub> lojik biri (1) temsil ederken, negatif lojikte 0V lojik biri (1), +V<sub>CC</sub> lojik sıfırı (0) temsil eder. Lojik devre tasarımında pozitif lojik kullanımı negatif lojiğe göre çok daha yaygındır. Çoğu sistem pozitif lojik olmasına rağmen bazı negatif lojik sistemlerinde olduğu akıldan çıkarılmamalıdır. Bu derste bütün tasarımlarda pozitif lojik kullanılacaktır ve lojik bir (1) +V<sub>CC</sub>'u lojik sıfır (0) 0 V'u ifade edecektir.

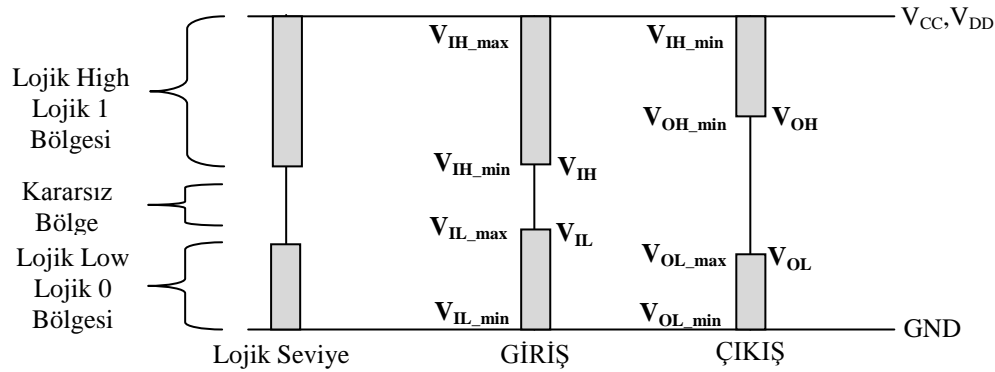
Pozitif Lojik		Negatif Lojik	
0 Volt	→	0 (Lojik 0)	+V <sub>CC</sub> → 0 (Lojik 0)
+V <sub>CC</sub>	→	1 (Lojik 1)	0 Volt → 1 (Lojik 1)

**NOT:** Her kapı için devre şemasında gösterilmese de kapı entegrelerine mutlaka **BESLEME GERİLİMİ** bağlanmalıdır.

Gerçek uygulamalarda ise lojik0 ve lojik 1 için belirli gerilim değerlerini tam olarak elde etmek mümkün değildir. Bu yüzden gerçekte lojik kapı ailelerine göre değişebilen gerilim aralıkları lojik 1 ve 0 olarak kabul edilir. Ayrıca bir lojik kapının giriş ve çıkışları içinde farklı gerilim aralıkları lojik 0 ve 1 olarak kabul edilir. Yani her kapı için lojik 0 ve lojik 1'in olabileceği değer aralıkları giriş ve çıkış için ayrı ayrı belirtilir. Bu durumda bir lojik kapının lojik gerilim seviyeleri;

- $V_{IL\_min}$  : Kapı girişlerinde kapının lojik 0 kabul ettiği minimum gerilim,
- $V_{IL\_max}$  : Kapı girişlerinde kapının lojik 0 kabul ettiği maksimum gerilim,
- $V_{IH\_min}$  : Kapı girişlerinde kapının lojik 1 kabul ettiği minimum gerilim,
- $V_{IH\_max}$  : Kapı girişlerinde kapının lojik 1 kabul ettiği maksimum gerilim,
- $V_{OL\_min}$  : Kapı çıkışlarında kapının lojik 0 olarak verdiği minimum gerilim,
- $V_{OL\_max}$  : Kapı çıkışlarında kapının lojik 0 olarak verdiği maksimum gerilim,
- $V_{OH\_min}$  : Kapı çıkışlarında kapının lojik 1 olarak verdiği minimum gerilim,
- $V_{OH\_max}$  : Kapı çıkışlarında kapının lojik 1 olarak verdiği maksimum gerilimdir.

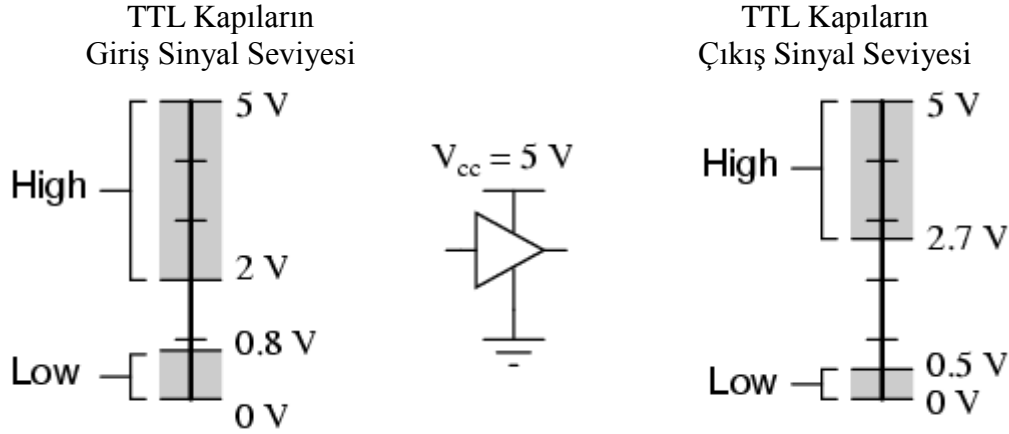
Pratikte  $V_{IH\_max}$   $V_{OH\_max}$  değerleri kapının besleme gerilimi  $V_{CC}$  değerine,  $V_{IL\_min}$   $V_{OL\_min}$  değerleri de 0 V (GND)'ye eşit olduğu düşünüldüğü için bazı kaynaklarda bu sekiz gerilim seviyesinden dört tanesi  $V_{IL\_max}$   $V_{IH\_min}$   $V_{OL\_max}$   $V_{OH\_min}$ 'den bahsedilir ve sırasıyla  $V_{IL}$   $V_{IH}$   $V_{OL}$   $V_{OH}$  şeklinde adlandırılır. Lojik seviyelerin anlamı Şekil 1'de daha açık şekilde gösterilmiştir.



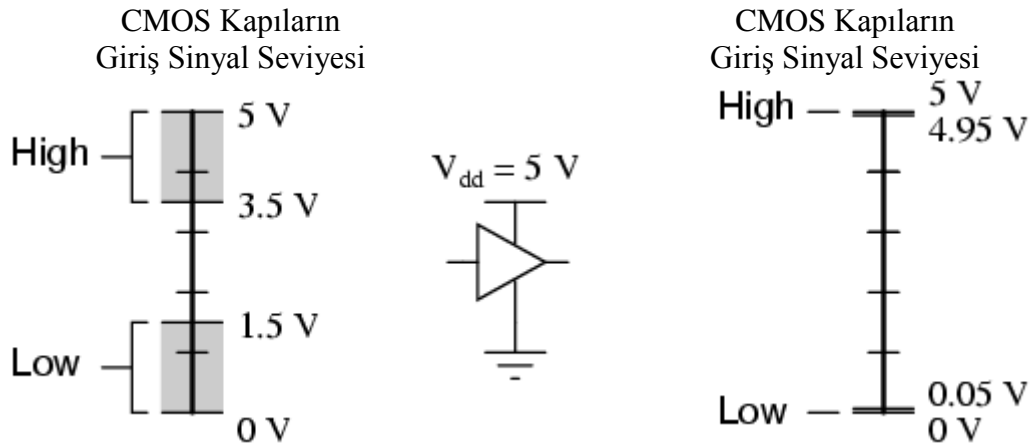
Şekil 1. Lojik Gerilim Seviyeleri

Şekil 4'de gösterilen kararsız bölge aralığı içerisindeki bir gerilim değerinin lojik kapı girişine uygulandığında kapının bu gerilim değerini lojik 1 veya lojik 0 olarak kabul edebileceği anlamına gelir ve bu bilenebilir. Dolayısıyla bir lojik tasarım yapılırken kullanılan kapı ailelerinin lojik seviyelerinin bir biri ile uyumlu olması gerekir. Örneğin 2,7 Voltu lojik 1 (lojik high) olarak çıkışından veren TTL entegreyi, CMOS bir entegrenin girişine bağladığımızda 2,7 Voltun lojik 1 (lojik high) mi lojik 0 (lojik low) mı olduğunu anlayamaz ve kararsız bir durum ortaya çıkar. Lojik tasarımlarımızda bu durum göz önünde tutulmalıdır.

Şekil 2’de TTL ve Şekil 3’de de CMOS kapılar için lojik 1(lojik high) ve lojik 0 (lojik low) kabul edilen gerilim seviyeleri giriş ve çıkışlar için verilmiştir.



Şekil 2. TTL kapıları için lojik seviyeler



Şekil 3. CMOS kapıları için lojik seviyeler

**Güç Tüketimi (Power Dissipation):** Lojik kapının besleme kaynağından çektiği gücü ifade eder. Kapı ailesinin teknolojisine göre çekilen güç değişmektedir. TTL teknolojisi daha fazla güç harcarken (10 mW), CMOS ailesinin harcadığı güç (10nW) daha azdır. Ayrıca CMOS entegrelerin çalışma frekansı arttıkça çektiği güç de artmakta, TTL de ise çalışma frekansı güç ihtiyacını etkilememektedir. Besleme kaynağından çekilen güç besleme gerilimi ile beslemeden çekilen akımın çarpımı ile bulunmaktadır. Kapı çıkışının lojik 0 veya 1 olmasına göre kapının güç kaynağından çektiği akım değiştiği için, hesaplama yapılırken kapı çıkışının lojik 0 ve 1 durumlarında çektiği akımların ortalaması kullanılır.

**Yayımla Gecikmesi (Propagation Delay):** Bir kapının girişine uygulanan sinyalin kapı çıkışını değiştirebilmesi için kısa bir sürenin geçmesi gerekmektedir. Kapı çıkışı anca yayılma gecikmesi olarak adlandırılan bu süre geçtikten sonra değişir. Yayılma gecikmesi aynı zamanda lojik kapının çalışma hızının da bir ölçüsüdür. Çalışma hızının önemli olduğu tasarımlarda, yayılma gecikmesi zamanının kabul edilebilir seviyelerde olması gerekir. Ayrıca

arka arkaya bağlanan kapılardan meydana gelen lojik bir tasarımda yayılma gecikmesi her bir kapının yayılma gecikmelerinin toplamıyla elde edilir. Kapı çıkışın lojik 0'dan 1'e geçmesi için geçen zamana yayılma gecikmesi yüksekte düşüğe ( $t_{PHL}$ ), lojik 1'den lojik 0'a geçmesi için geçen zamana yayılma gecikmesi düşüğe büyüğe ( $t_{PLH}$ ) olarak adlandırılır.

**Giren/Çıkan Akım (Sinking/Sourcing Current):** Kapı çıkışına bir yük veya başka bir kapı bağlandığında kapıdan çekilen akımı ifade eder. Eğer lojik kapı çıkışı 0 ise giren ( $I_{OL}$ ), 1 ise çıkan akım ( $I_{OH}$ ) söz konusudur. Tersten düşündüğümüzde ise, kapı girişi 0 ise kapının girişinden çıkan akım ( $I_{IL}$ ) ve kapı girişi 1 ise kapının girişinden giren akım ( $I_{IH}$ ) akımları vardır.

**Çıkış Yelpazesi (Fan-Out):** Bir lojik kapının çıkışındaki gerilim seviyesi bozulmadan aynı lojik aileden sürebileceği kapı sayısıdır. Çıkış yelpazesi özellikle TTL lojik aileleri için önemlidir. CMOS entegrelerinin yüksek giriş empedansları nedeniyle çıkış yelpazeleri oldukça yüksektir. Kapının sürebileceğinden daha fazla kapı sürülmeye veya çıkışından fazla akım çekilmeye çalışıldığında,

- Kapının lojik 0 gerilimi  $V_{OLmax}$  gerilimini aşabilir.
- Kapının lojik 1 gerilimi  $V_{OHmin}$  geriliminin altına inebilir.
- Çıkış düşme ve yükselme zamanları artar.
- Yayılma gecikmesi artar.
- Cihazın çalışma sıcaklığı artar, cihazın işlem güvenilirliği azalır ve en sonunda cihaz yanabilir.

Çıkış yelpazesi, bir kapının aynı türden başka bir kapıyı sürerken çıkışından ve çıkışa bağlanan kapının girişinden giren veya çıkan akımlara bağlıdır. Örneğin, 74LS00 NAND kapısının çıkışı 0 olduğunda, çıkışına maksimum kaç tane kapı bağlayabileceğimizi şu şekilde hesaplayabiliriz. Kapı çıkışı 0 olması bir sonraki kapının çıkışının da 0 olduğu anlamına gelir. Dolayısıyla 74LS00 NAND kapısının çıkışı sıfır olduğunda kapının içerisinde geçmesine izin verdiği akım miktarı ( $I_{OL}$ ) 8 mA'dir. Aynı kapının girişi 0 olduğunda girişten çıkan akım ( $I_{IL}$ ) 0.4 mA'dir. Dolayısıyla bu durumda kapının çıkış yelpazesi  $I_{OL}/I_{IL}$   $8\text{ mA}/0.4\text{ mA} = 20$ 'dir

**EkBilgi:** CMOS'un özelliği[entegre olarak] 0,5-1,5 volt arası çalışabilmesi. Bilgisayarların anakartlarında kullanılan entegreler CMOS'tur .Çünkü TTL entegrelerin girişine hiç birşey uygulanmazsa direkt çıkışı 1'e aktaracak ve sistemde soruna neden olacaktır. Ancak Cmos'larda eğer çıkış aktif yapmak isteniyorsa girişe 1 verilmesi gerekmektedir.

***NOT:*** Her bir lojik ailenin kendine ait özellikleri olduğu için farklı aileden kapıların arka arkaya bağlanması bir takım sorunlar meydana getirebileceği unutulmamalıdır.

### **Lojik Kapı Çıkış Türleri:**

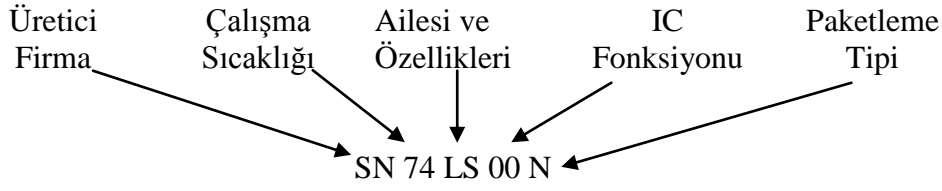
***Bipolar çıkışlar (TP: Totem Pole):*** Lojik 0 ve lojik 1 değerlerini üreten çıkışlardır.

***Unipolar çıkışlar (OC: Open Collector):*** Sadece lojik 0 değerini üretebilir, lojik 1 seviyesinde yarı iletken doyuma ulaşır ve gerekli olan gerilim seviyesi, besleme gerilimine direnç(yukarı çekme, pull-up direnci) bağlanarak elde edilir. Bu çıkışlar, birden fazla lojik çıkışın ortak bir yola bağlanması gerektiğinde kullanılır.

***Üç-durumlu çıkışlar (TS: Tri State):*** Bu kapılar lojik 0 ve lojik 1 durumlarına ek olarak kapıların veri yollarına bağlanmalarını mümkün kılan, yüksek empedans olarak adlandırılan

üçüncü bir duruma sahiptir.

**Bütünleşmiş Devrelerin Numaralandırma Sistemi:** Firmaya göre değişiklikler olabilmesine rağmen lojik bütünleşmiş devrelerin isimlendirilmesi aşağıdaki gibi yapılmaktadır.



*Üretici Firma Kısaltmaları:* SN : Texas Instrument, F : Fairchild,  
 DM : National Semiconductors, TC : Toshiba,  
 LM : Analog Device, IM : Intersil

*Çalışma Sıcaklığı Aralığı:* 74 : 0 – 70 °C Genellikle ticari uygulamalar için  
 54 : -55 °C – 125 °C Genellikle askeri uygulamalar için

*Lojik Ailesi:*

74xx or 74Nxx:	Standard TTL
74Lxx	: Low Power TTL
74Hxx	: High Speed TTL
74Sxx	: Schottky TTL
74LSxx	: Low Power Schottky TTL
74ASxx	: Advanced Schottky TTL
74ALSxx	: Advanced Low Power Schottky TTL
74HCxx	: High Speed CMOS
74HCTxx	: TTL ile uyumlu High Speed CMOS
74ACxx	: Advanced CMOS
74ACTxx	: TTL ile uyumlu Advanced CMOS
74LVxx	: Low-Voltage CMOS
74LVCxx	: Low-Voltage CMOS
74LVCxx	: Advanced Low-Voltage CMOS

*Lojik Fonksiyonu:*

7400	: İki girişli, dört tane VE DEĞİL
7402	: İki girişli, dört tane VEYA DEĞİL
7404	: Sekiz tane DEĞİL
7408	: İki girişli, dört tane VE
7410	: Üç girişli, üç tane VE DEĞİL
7411	: Üç girişli, üç tane VE
7420	: Dört girişli, iki tane VE
7421	: Dört girişli, iki tane VE
7427	: Üç girişli, üç tane VEYA DEĞİL
7430	: Sekiz girişli, bir tane VE DEĞİL
7432	: İki girişli, dört tane VEYA

Ayrıca 54/74 serisinden başka CD4000 serisi düşük hızlı eski CMOS teknolojisine sahip entegreler de bulunmaktadır.

*Paketleme Tipi:* N: Plastik DIP, J:Seramik DIP

**NOT:** Yukarıda verilen listelerin dışında firma, çalışma sıcaklığı, lojik aile, lojik fonksiyon ve paketleme tipi mevcuttur



**DENEYDEN ÖNCE YAPILACAKLAR:**

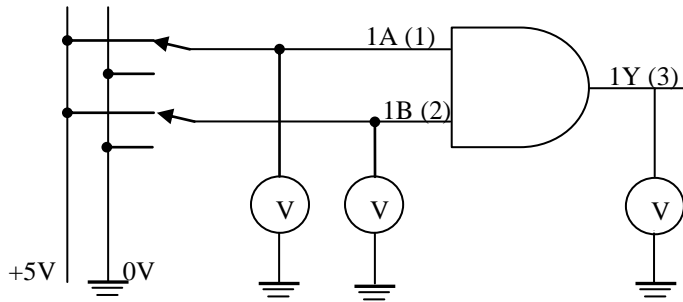
- 1- TTL ve CMOS lojik aileleri arasındaki farkları araştırınız.
- 2- TTL ve CMOS lojik ailelerine ait alt aile yapıları arasındaki farkları araştırınız.(L,LS .. vb.)
- 3- Entegre devrelerin karakteristiklerini araştırarak; güç kaybı, yayılma gecikmesi, çıkış yelpazesi ve gürültü sınırı (noise margin), yükselme zamanı, düşme zamanı gibi özel karakteristiklerini detaylı bir şekilde inceleyiniz.

**DENEYDE KULLANILACAK ELEMANLAR:**

1. 74LS00, 74LS08, 74LS32 (TTL)
2. 74HC00, 74HC08,74HC32 (CMOS)

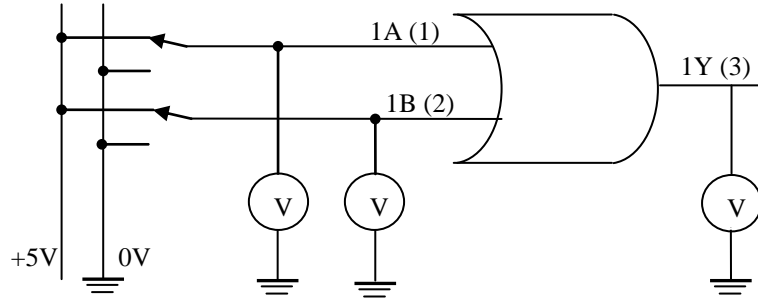
**DENEYİN YAPILIŞI :**

1. Aşağıdaki devreyi önce 74LS08 sonra 74HC08 entegreleri ile kurunuz ve aşağıdaki tabloyu doldurunuz (Vcc (14) ve GND (7) bağlamayı unutmayınız).



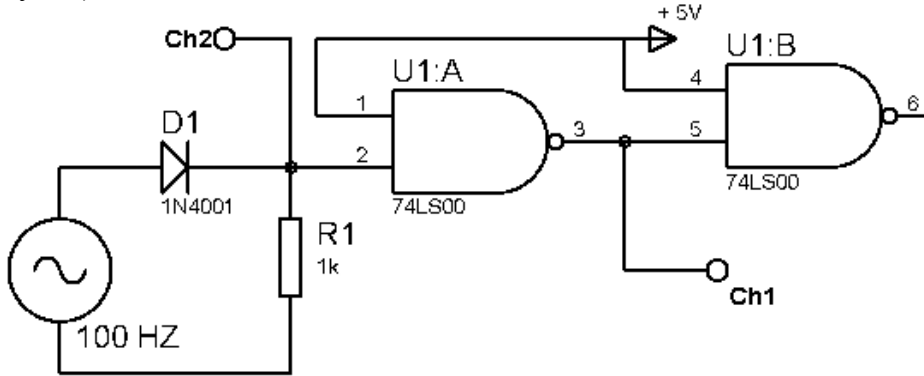
Girişler						Çıkış		
1A		1B				1Y		
Lojik Karşılığı	Voltmetre Değerleri		Lojik Karşılığı	Voltmetre Değerleri		Lojik Karşılığı	Voltmetre Değerleri	
-	TTL	CMOS	-	TTL	CMOS	-	TTL	CMOS
0			0					
0			1					
1			0					
1			1					

2. Aşağıdaki devreyi önce 74LS32 sonra 74HC32 entegreleri ile kurunuz ve aşağıdaki tabloyu doldurunuz (Vcc (14) ve GND (7) bağlamayı unutmayınız).

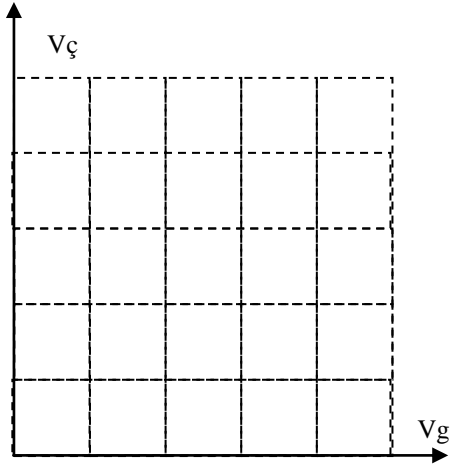
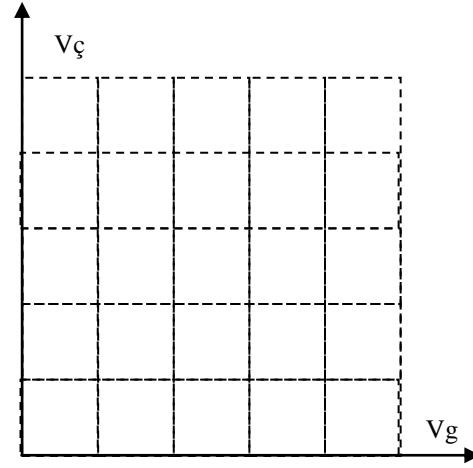


Girişler					Çıkış			
1A		1B			1Y			
Lojik Karşılığı	Voltmetre Değerleri		Lojik Karşılığı	Voltmetre Değerleri		Lojik Karşılığı	Voltmetre Değerleri	
-	TTL	CMOS	-	TTL	CMOS	-	TTL	CMOS
0			0					
0			1					
1			0					
1			1					

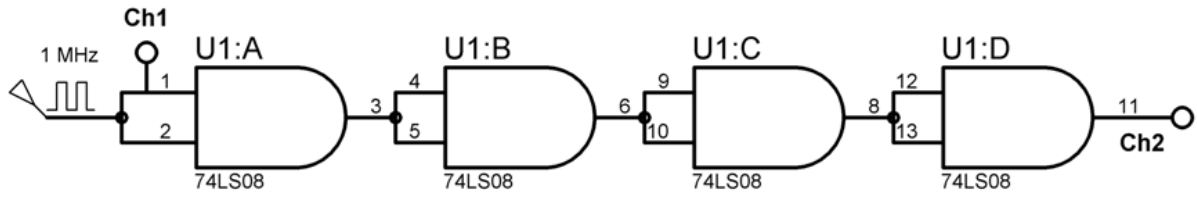
3. Aşağıdaki devreyi 74LS00 TTL VEDEĞİL kapısı ile kurunuz. Osiloskobun birinci kanalını Ch1, ikinci kanalını Ch2 noktalarına bağlayınız. (Vcc (14) ve GND (7) bağlamayı unutmayınız).



4. Osiloskobun ikinci kanalı ile ölçülen (Ch2) yarım dalga doğrultulmuş sinusoidal gerilimin tepe değeri 5 V oluncaya kadar sinyal kaynağının gerilimini artırınız.
5. Osiloskobun X-Y tuşuna basınız. Elde ettiğiniz, giriş çıkış eğrisini çiziniz.
6. Aynı işlemleri 74HC00 CMOS VEDEĞİL kapısı için tekrarlayınız.

TTL NAND için  $V_c=f(V_g)$ CMOS NAND için  $V_c=f(V_g)$ 

7. 74LS08 VE kapısı ile aşağıdaki devreyi kurunuz, osiloskobun bir kanalını Ch1'e diğerini Ch2'ye takınız.
8. Giriş ile çıkış sinyalleri arasındaki yayılma gecikmesini ölçünüz.
9. 7. ve 8. maddeyi 74HC08 için tekrarlayınız.



Gecikme miktarı(.....)

**DENEY NO** : 2  
**DENEYİN ADI** : Kod Çözücü (Decoder), Kod Çevirici, Display  
**DENEYİN AMACI** : Bu deneyde, ikili kodlar incelenerek, kod çözücü ve kod çeviricilerin tasarımı gerçekleştirilecektir. Tasarımlarda display kullanım örneklerine de yer verilmiştir.

## 1. DENEY HAKKINDA TEORİK BİLGİ :

### 1.1. İkili (Binary) Kodlar

#### 1.1.1. İkili Kodlanmış Ondalık Gösterim (BCD-Binary Coded Decimal)

Ondalık sayının her hanesinin ikili olarak kodlanmasıdır. Bir taban dönüşümü değildir. Örneğin (24) (11000) bu bir ikili taban karşılığıdır. Ancak BCD karşılığı (0010 0100)<sub>2</sub> olarak yazılır. BCD kodlamada 0-9 arası rakamlar kullanılır. 10-15 arası kullanılmamaktadır. Dolayısıyla BCD kodlama artıklı bir koddur.

Sayı	BCD Kodu
0	0000
1	0001
2	0010
3	0011
4	0100
5	0101
6	0110
7	0111
8	1000
9	1001

#### 1.1.2. Üç Fazlalık Kodu (Excess-3)

İkili sistemin üç fazlası alınarak oluşturulan kodlama işlemidir. Ağırlığı olmayan simetrik bir koddur.

Sayı	3-Fazlalık Kodu
0	0011
1	0100
2	0101
3	0110
4	0111
5	1000
6	1001
7	1010
8	1011
9	1100

#### 1.1.3. Aiken Kodu

Tabloda verildiği gibi, 0-9 arasındaki sayıların ilk beş ve son beş rakamlarının ikili karşılıklarından oluşur, simetrik bir koddur. Bu kodlama türünün özelliği (0-4) arasındaki ilk beş sayının bilinen ikili kodlamaya eşdeğer olduğu, (5-9) arasındaki ikinci beş sayının ise ilk beş sayının 1'e tümleyeni olduğu söylenebilir.

Sayı	Aiken Kodu
0	0000
1	0001
2	0010
3	0011
4	0100
5	1011
6	1100
7	1101
8	1110
9	1111

#### 1.1.4. Gray Kodu

2 elemanlı bir küme için 2 tabanında artıksız ve çevrimli bir kodlama yapılırsa yansımali bir kod yani "Gray Kodu" elde edilir. Sayma işleminde ve sütun tarama işlemlerinde kullanılır. Gray kodu Karnaugh diyagramının geçişlerinde kullanılacaktır.

Oluşturulan kodlar aşağıdaki tabloda gösterilmiştir.

CD AB	00	01	11	10
00	0 → 1 → 2 → 3			
01	↑ 7	← 6 ← 5 ← 4		
11	8 → 9 → 10 → 11			
10	15 ← 14 ← 13 ← 12			

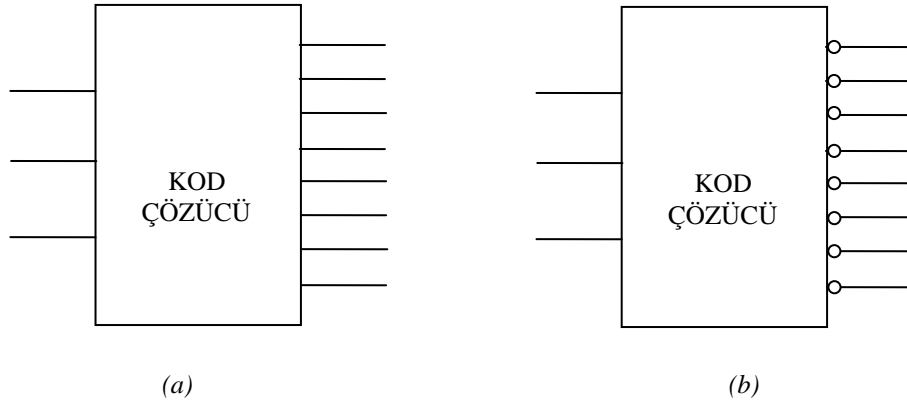
Sayı	İkili Sayı	Gray Kodu
0	0000	0000
1	0001	0001
2	0010	0011
3	0011	0010
4	0100	0110
5	0101	0111
6	0110	0101
7	0111	0100
8	1000	1100
9	1001	1101
10	1010	1111
11	1011	1110
12	1100	1010
13	1101	1011
14	1110	1001
15	1111	1000

#### 1.2. Kod Çözücü (Decoder)

Kod çözücü  $n$  bitlik bir sözcüğün kodunu çözüp olası en çok birini aktif hale getiren bir kombinasyonel devredir. 3 girişli, 2 çözücüye ait doğruluk tablosu ve devre aşağıdaki gibidir.

çıkış yolundan sadece normal çıkışlı bir kod

GİRİŞLER			ÇIKIŞLAR							
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

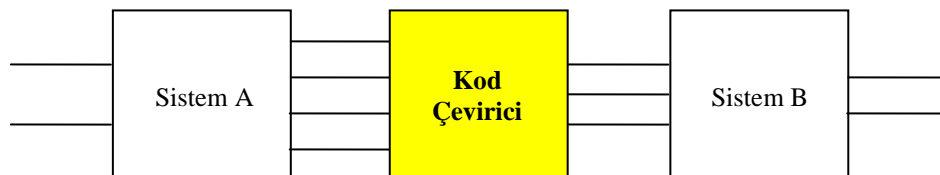


Şekil 2.1. Kod çözücü a) Normal çıkışlı b) Tümleyen çıkışlı

**NOT:** Kod çözücüler pratikte kullanılırken bazı noktalara dikkat edilmesi gerekir. Kod çözücülerde veri girişlerinin yanı sıra bir de entegre devrenin çalışıp çalışmamasını sağlayan enable (etkinleştirme) girişleri bulunmaktadır. Kod çözücülerde 1 tane tümleyen girişli, kod çözücülerde 2' si tümleyen girişli 1' i normal girişli olmak üzere 3 tane enable girişi yer almaktadır. Örneğin entegresinde  $\overline{E_1}$ ,  $\overline{E_2}$  ve  $E_3$  olarak üzere 3 tane enable girişi vardır, bu girişler sırasıyla değerini aldığı zaman entegre çıkış üretir.

### 1.3. Kod Çevirici

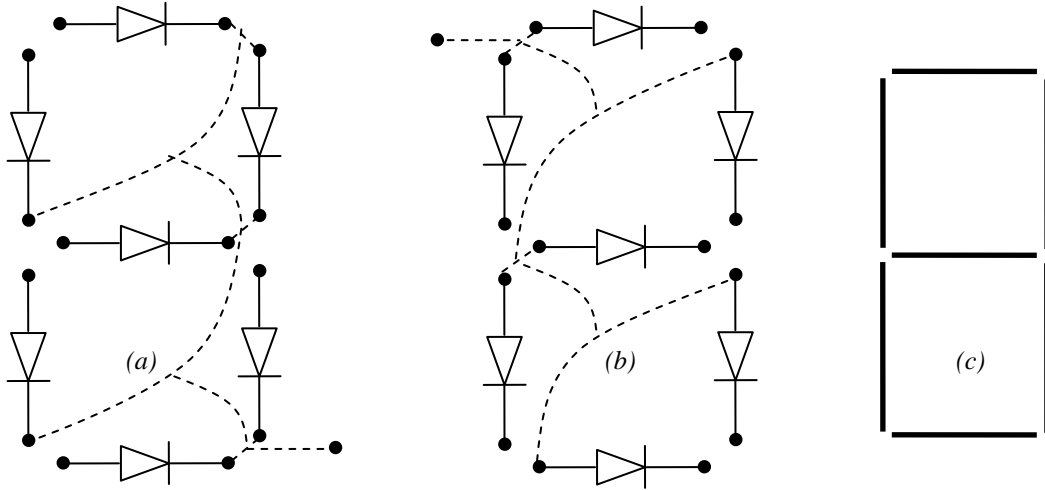
Dijital sistemlerde birçok kod sistemi kullanılmaktadır. Bir sistemin çıkışı çoğu zaman diğer bir sisteme giriş olarak uygulanmaktadır. Eğer bu iki sistem aynı bilgiler için farklı kodları kullanıyorsa bu iki sistem arasına kod çevirici sistemler yerleştirilmelidir. Şekil 2.2' de gösterildiği gibi Sistem A' nın çıkışları Sistem B' nin girişlerini oluşturmaktadır. İki sistemin art arda bağlanması için bir kod çeviriciye ihtiyaç vardır.



Şekil 2.2. Kod çevirici örneği

## 1. 4. Display

BCD kodunda verilmiş olan bir ifadenin, sayı biçiminde gösterilebilmesi amacıyla kullanılan ışıklı bir kombinasyonel devredir. Yedi parçalı göstergenin her parçası a' dan g' ye kadar kodlanmıştır.



Şekil 2.3.( a) Ortak katotlu display, (b) Ortak anotlu display, (c) 7-Parçalı Gösterge

### DENEYDEN ÖNCE YAPILACAKLAR:

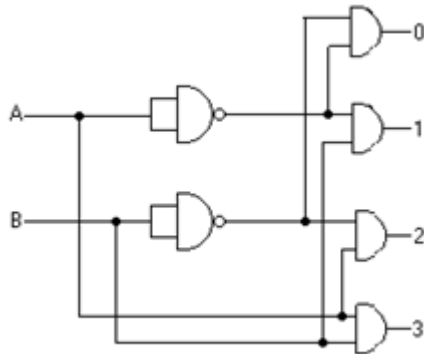
1. Deneyde kullanılacak elemanların kataloglarını inceleyiniz.
2. 3 girişli bir kod çözücü tasarlayınız.
3. 4 bitlik bir BCD sayının 9' a tümleyenini alacak bir devre tasarlayınız.
4. BCD, Aiken, 3 Fazlalık ve Gray gibi kodların birbirleri arasında kod dönüşümü gerçekleştirecek en az 2 lojik devrenin tasarımını gerçekleştiriniz.
5. Girişlerin  $D$  ve çıkışın  $F$  olması durumunda;
  - a) iken çıkışı Lojik 1,
  - b) iken çıkışı Lojik 1
  - c) Diğer hallerde ise çıkışı Lojik 0 olan fonksiyonun devresini NAND kapılarını kullanarak gerçekleştiriniz.
6. Girişleri  $A, B, C$  ve çıkışları  $F_1, F_2, F_3$  olan bir kombinasyonel devrede,  $F_1 = A.B + A.B.C$  dir. 74138 decoders/demultiplekser entegre devresinin çıkışına NAND kapıları bağlayarak, yukarıdaki fonksiyonu gerçekleştiren bir devre tasarlayınız.
7. Tam çıkarıcı devreyi, doğruluk tablosundan faydalanarak tasarlayınız.
8. 2, 3 ve 4 numaralı tasarımları deneyden önce sorumlu öğretim üyesine teslim ediniz. Ayrıca 5, 6 ve 7 sorularından en az ikisinin tasarımını gerçekleyerek sorumlu öğretim elemanına deneyden önce teslim ediniz (Tasarımlarda decoder tipi yada adı verilmediyse normal çıkışlı decoder kullanılabilir).

**DENEYDE KULLANILACAK ELEMANLAR:**

Entegre	Açıklama	Adet
7486	Dörtlü 2 girişli XOR kapısı	1
7447	7- segment decoder (display sürücü)	1
7400	Dörtlü 2 girişli NAND kapısı	2
7408	Dörtlü 2 girişli AND kapısı	1
74138	tümleyen çıkışlı decode	1
100 ohm	Direnç	7
Display	7 segment ortak anotlu gösterge (display)	1

**DENEYİN YAPILIŞI:**

- Şekil 2.4' deki devreyi kurunuz. Çizelge 2.1' de verilen lojik değerler ve girişlerine (bağlanan anahtarlar yardımıyla) uygulandığında; numaralı çıkışlarda elde edilen lojik sonuçları (bu çıkışlara bağlanan LED'lerden) gözleyerek çizelgeyi doldurunuz.



Şekil 2.4. İki girişli kod çözücü

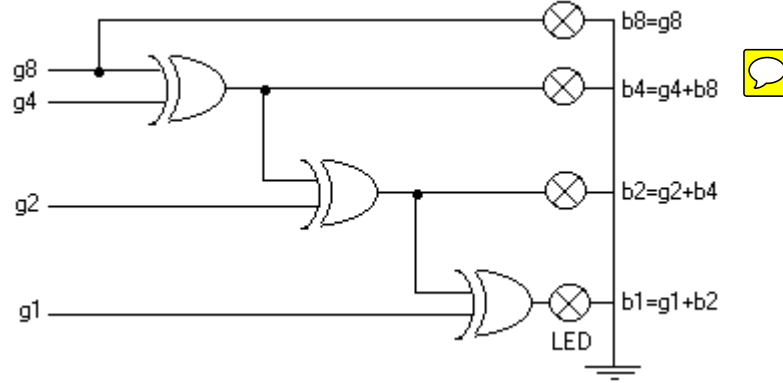
Çizelge 2.1. Elde edilen sonuçlar (Şekil 2.3 için)

Girişler		Çıkışlar			





3. Şekil 2.6' daki devreyi kurunuz ve girişlere uyguladığınız lojik değerlere göre çıkışları Çizelge 2.3' e kaydediniz.



Şekil 2.6. Kod çevirici

Çizelge 2.3. Elde edilen sonuçlar (Şekil 2.6 için)

Girişler				Çıkışlar			
0	0	0	0				
0	0	0	1				
0	0	1	1				
0	0	1	0				
0	1	1	0				
0	1	1	1				
0	1	0	1				
0	1	0	0				
1	1	0	0				
1	1	0	1				
1	1	1	1				
1	1	1	0				
1	0	1	0				
1	0	1	1				
1	0	0	1				
1	0	0	0				

Şekil 2.6' daki devre hangi kodlar arasında çevrim yapıyor?.....



5. **‘Deneyden Önce Yapılacaklar’** kısmında yer alan 6. maddeyi deneysel olarak gerçekleştirerek, beklenen sonucu verip vermediğini LED’lerden gözleyiniz ve Çizelge 2.5’i doldurunuz.

Çizelge 2.5. Elde edilen sonuçlar

Girişler			Fonksiyonlar		

**Kod Çözücü Tasarım - Örnek:**  
kombinasyonlarından biri (10,  
geldiğinde çıkış sinyali veren geçersiz kod detektörünün gerçekleştirilmesi.

girişlerinin BCD kodunda kullanılmayan diğer  
decimal sayılarından biri) meydana

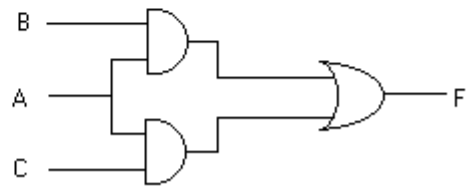
Buna ait doğruluk tablosu şöyledir:

A	B	C	D	F
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	1
1	0	1	1	1
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

AB \ CD	00	01	11	10
00	0	0	1	0
01	0	0	1	0
11	0	0	1	1
10	0	0	1	1

$$F = AB + AC$$

Fonksiyon Devresi aşağıdaki gibidir:



**DENEY NO** : 3

**DENEY ADI** : FLİP-FLOP TASARIMI

**DENEYİN AMACI** : Bu deneyde değişik tipte Flip-Flop devrelerin gerçekleştirilmesi ve tetikleme biçimleri görülecektir.

### **DENEY HAKKINDA TEORİK BİLGİLER:**

Lojik kapı elemanlarından uygun geri beslemeler kullanılarak çift kararlı hafıza elemanları elde edilir. Bunlar Flip-Flop (FF) olarak isimlendirilir. Başlıca Flip-Floplar RS, JK, D ve T tipi olanlardır. Flip-Flop'ların devre içinde rasgele konum değiştirmelerinin önüne geçmek için belirli zamanlarda tetiklenirler. Tetikleme ya tetikleme sinyali darbesinin düşen veya yükselen kenarında ya da darbe seviyesi ile olur.

Flip-Flop' un izin (enable, CLK) girişi devrenin yapısına göre ya lojik 1 de ya lojik 0 da tutulur. Bu sürede Flip-Flop, girişine gelen sinyallere göre konum değiştirir. Buna seviye tetikleme denir. Bu şekilde tetiklenen elemanlara LATCH denir.

Kenar tetiklemede, darbenin lojik 0'dan lojik 1'e geçtiği anda (yükselen kenar) ya da lojik 1'den lojik 0'a düştüğü anda (düşen kenar) Flip-Floplar tetiklenir.

Her iki tetikleme türünde de tetikleme darbesi gelmeden önce girişlerde bilgi hazır olmalıdır. Bu süre Set-Up olarak isimlendirilir.

Flip-Flopda çıkışları 1 yapmak (set etmek) ve 0 yapmak (reset etmek) için SET(PRESET), RESET(CLEAR) uçları kullanılır.

### **DENEYDEN ÖNCE YAPILACAKLAR:**

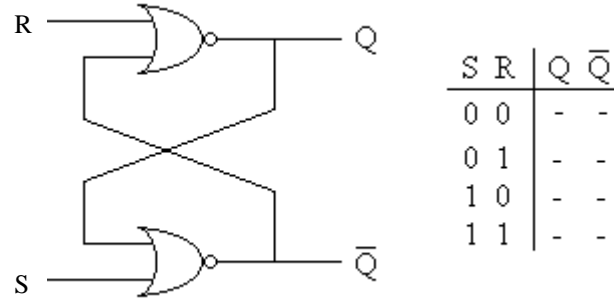
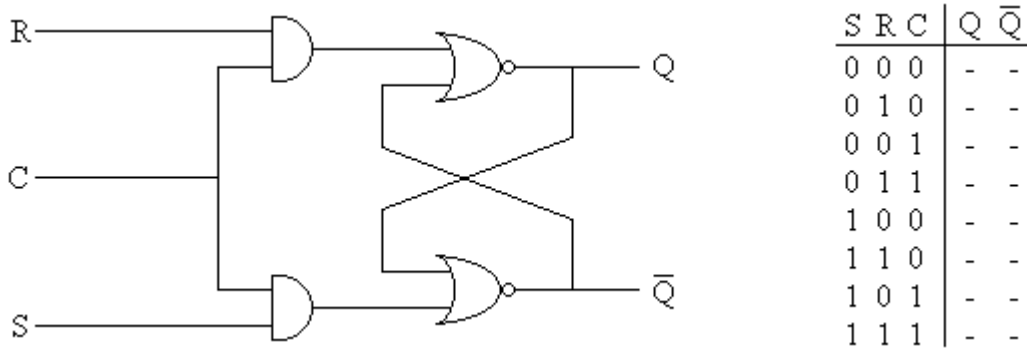
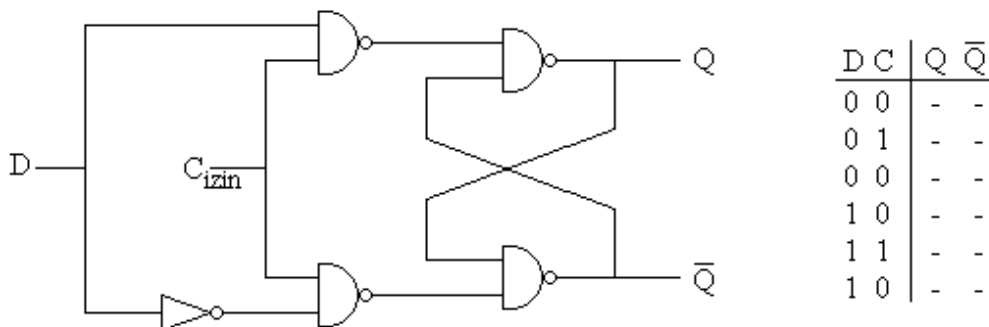
1. Deneyde kullanılacak olan kapı elemanlarını (7400, 7402, 7404, 7408, 7411, 7427, 7476) kataloglardan araştırarak bacak bağlantılarını ve elektriksel özelliklerini araştırınız.
2. Flip-Flop çeşitleri ve her bir Flip-Flop çeşidinin özelliklerini araştırınız.
3. Flip-Flop çeşitlerinin her birinin kullanıldığı yerleri sebepleriyle birlikte araştırınız.

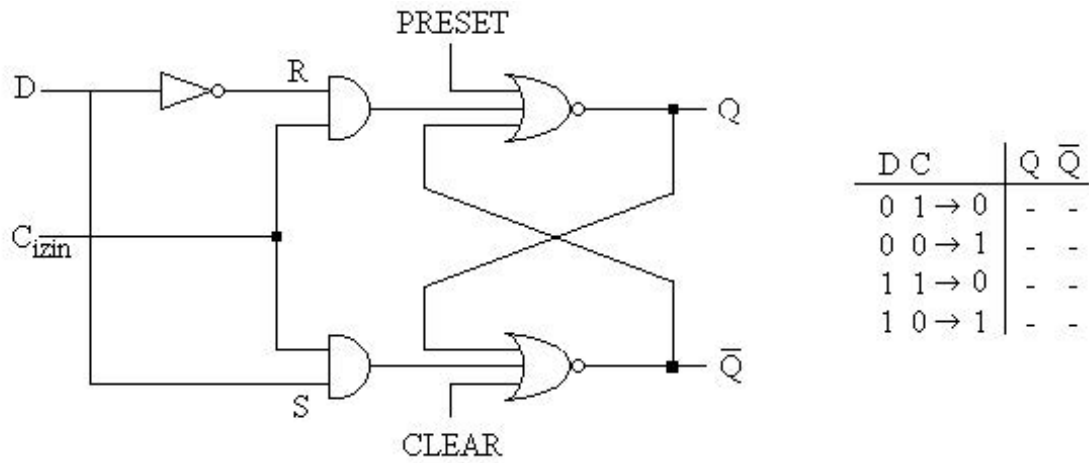
### **DENEYDE KULLANILACAK ELEMANLAR:**

1. 7400 Dörtlü 2 girişli NAND
2. 7402 Dörtlü 2 girişli NOR (2 Adet)
3. 7404 Altılı inverter
4. 7408 Dörtlü 2 girişli AND
5. 7411 Üçlü 3 girişli AND
6. 7427 Üçlü 3 girişli NOR
7. 7476 İkili JK tipi Flip-Flop

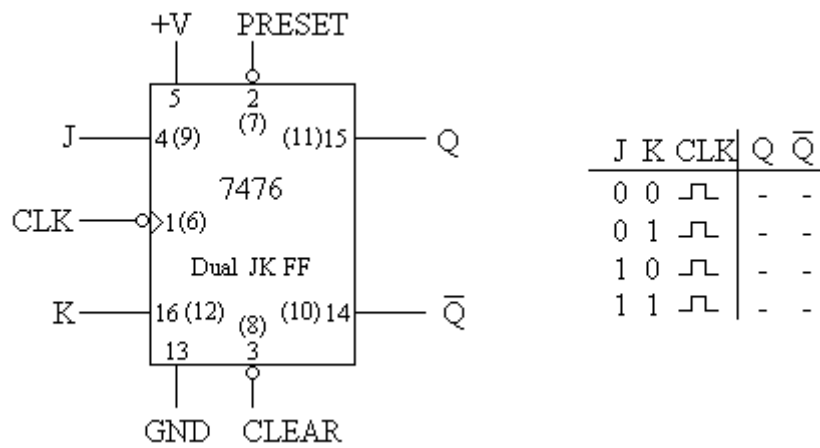
**DENEYİN YAPILIŞI:**

1. Öngörülen deneylerin devre bağlantı şemaları Şekil-1, 2, 3, 4, 5, 6'da verilmiştir.
2. Aşağıdaki FF devresini kurarak tabloya  $Q$  ve  $\bar{Q}$  değerlerini kaydediniz.

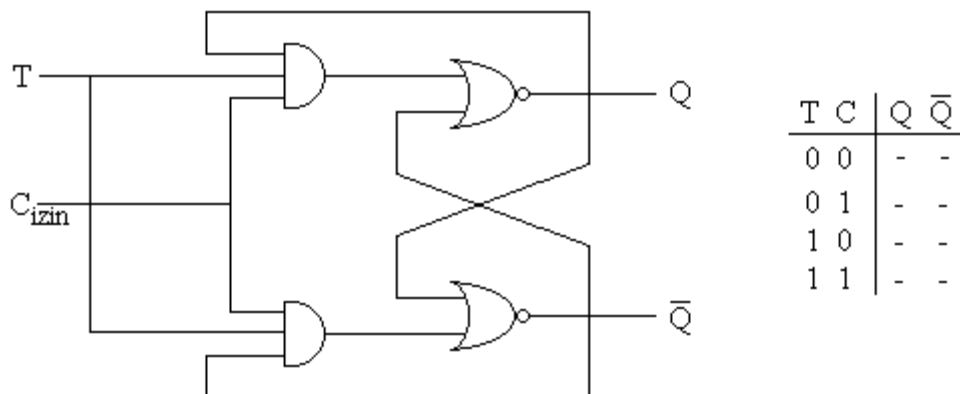
**Şekil-1.** RS Tipi Flip-Flop (latch) Devresi**Şekil-2.** Tetiklemeli RS Tipi Flip-Flop Devresi**Şekil-3.** D Tipi Flip-Flop Devresi



Şekil-4. PRESET ve CLEAR'li D Tipi Flip-Flop Devresi



Şekil-5. Master-Slave Tetiklemeli JK Tipi Flip-Flop Devresi



Şekil-6. T Tipi Flip-Flop Devresi

**DENEY NO : 4**  
**DENEY ADI : SAYICI TASARIMI**  
**DENEYİN AMACI : Deneyde ileri ve geri sayan asenkron ve senkron yapıda sayıcıların gerçekleştirilmesi öngörülmüştür.**

### **DENEY HAKKINDA TEORİK BİLGİLER:**

Sayıcılar girişlerine uygulanan darbelere göre konum değiştiren ardışıl devrelerdir. Her bir saat darbesinde önceden belirlenen bir durum sırasından geçerler. Bu tip devreler sayıcı işlevinin yanı sıra frekans bölme, bilgi depolama ve kodlayıcı olarak geniş bir uygulama sahasına sahiptirler. Sayıcıları iki ana grupta toplamak mümkündür:

#### **a) Asenkron Sayıcı:**

Bu tür sayıcıda her flip-flop farklı bir zamanlama darbesine sahiptir. Tüm flip-flop'lar konum değiştirebilmek için bir öncekinin çıkışından işaret alır. Her bir flip-flop'un konum değiştirebilmesi için geçmesi için gereken süre  $t$  ise  $n$  adet flip-flop'tan oluşmuş bir asenkron sayıcının son flip-flop'u ( $nt$ ) saniye sonra konum değiştirecektir. Bu nedenle flip-flop'ları tetikleyen saat darbesinin frekansı ( $nt$ ) süresinin altında olmalıdır. Bu durum asenkron sayıcıların en büyük eksikliğidir.

#### **b) Senkron Sayıcı:**

Senkron (eşzamanlı) sayıcılarda, saat darbesi tüm flip-flop'lara aynı anda uygulanır. Senkron sayıcılarda genel olarak önceki flip-flop'un çıkışı kendisinden daha yüksek anlamlı haneleri belirten flip-flopların girişlerine lojik kapılarla bağlanır. Asenkron sayıcılara göre hızlı çalışma üstünlüğü vardır. Asenkron sayıcıya göre kullanılan kapı adedi fazladır.

### **DENEYDEN ÖNCE YAPILACAKLAR :**

1. Deneyde kullanılacak elemanların katalog bilgilerini bulup, bacak bağlantılarını ve elektriksel özelliklerini araştırınız.
2. J-K flip-flop'lar kullanarak MOD-5 asenkron sayıcısını gerçekleştiriniz.
3. 0-7-3-4-1 sayılarını periyodik olarak sayan senkron sayıcıyı T tipi veya J-K tipi flip-flop'lar kullanarak tasarlayınız.

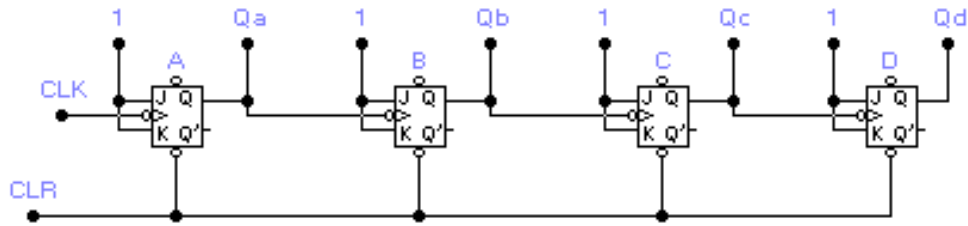
### **DENEYDE KULLANILACAK ELEMANLAR :**

1. 2x7476 ikili JK Flip-Flop
2. 2x7408 dörtlü 2 girişli AND
3. 2x7493 BCD sayıcı.

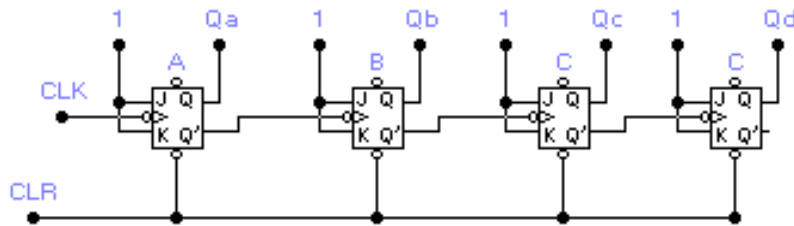
### **DENEYİN YAPILIŞI :**

- 1- Şekil(1) deki devreyi kurunuz. Saat girişini (CLK) lojik 1'e, silme (CLR) girişini ise lojik 0'dan lojik 1'e getiriniz. Böylece devreye besleme gerilimi verildiğinde sayıcı çıkışlarını sıfırlamış olursunuz. CLK girişini 0'dan 1'e ve tekrar 1'den 0'a getirmekle bir darbe verilmiş olur. FF'lar darbenin düşen kenarlarında tetiklendikleri için 1'den 0'a geçişlerde pozisyon değiştirirler.
  - a) CLK girişine uyguladığımız darbeleri  $Q_a$ ,  $Q_b$ ,  $Q_c$ , ve  $Q_d$  çıkışlarına bağladığımız LED'lerden gözleyiniz.
  - b) CLK girişine 10 kHz.'lik darbeler uygulayınız ve  $Q_a$ ,  $Q_b$ ,  $Q_c$ , ve  $Q_d$  çıkışlarını çift kanallı osiloskopa izleyerek zaman diyagramını kaydediniz.
  - c) Aynı sayıcıyı Şekil(2) deki devre gibi bağlayarak çıkışları LED'lerden gözleyiniz. Böyle bir sayıcının niçin geriye doğru saydığını açıklayınız.



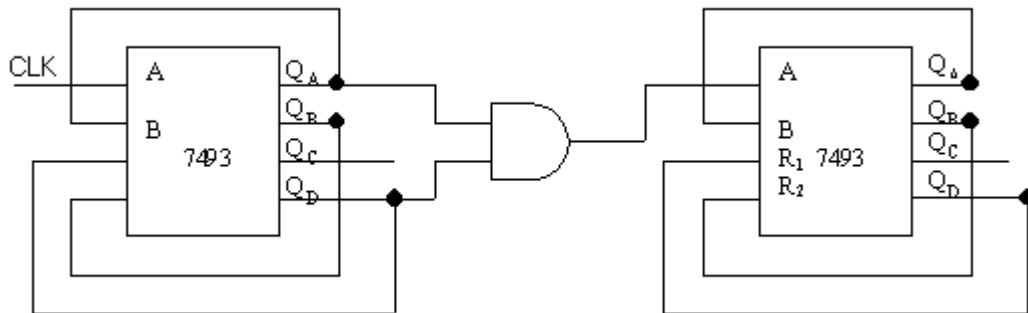


Şekil-1. 7476(1/2) ile Gerçekleştirilmiş Asenkron Yapıda 4 Bitlik İleri Sayıcı



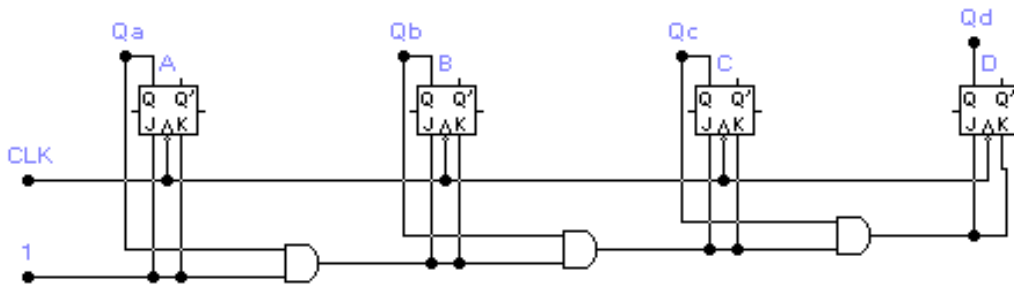
Şekil-2. Asenkron Yapıda 4 Bitlik Geri Sayıcı

- 2- Şekil(3)'deki devreyi kurunuz. Girişe darbeler vererek çıkışlara bağladığımız LED'lerden devrenin çalışmasını gözleyiniz. İki sayıcı arasına bağladığımız lojik kapının niçin gerekli olduğunu açıklayınız.



Şekil-3. 0'dan 99'a Kadar Asenkron Sayıcı

- 3- Şekil(4)'deki devreyi kurunuz. Girişe darbeler uygulayarak çıkışlara bağladığımız LED'lerden devrenin çalışmasını gözleyiniz.



**DENEY NO : 5**  
**DENEY ADI : D/A ve A/D DÖNÜŞTÜRÜCÜLER**  
**DENEYİN AMACI :Deneyde analog ve dijital sinyallerin birbirlerine dönüştürülmesindeki temel prensipler ve kullanılan temel devrelerin incelenmesi öngörülmüştür.**

### DENEY HAKKINDA TEORİK BİLGİLER:

Endüstriyel ortamda kullanılan devreler genel olarak analog ve dijital olmak üzere iki farklı grupta sınıflandırılabilir. Analog ve dijital devrelerin bir arada çalışması gereken hallerde gerilim dağılımı ve çalışma özellikleri çok farklı olan bu iki grup devre arasında sinyalleşmede dönüştürme yapmak gerekir.

#### 1. Digital/Analog Dönüştürücüler

1 ve 0 gibi dijital bilgileri giriş olarak alan ve çıkışında giriş değerlerindeki değişime göre farklı değerlerde akım veya gerilim üreten devrelere veya entegrelere dijital analog çevriciler ve bu dönüştürme işlemine de dijitalden analoga çevirme işlemi adı verilir. Dijital Analog Çeviriciler kısaca **DAC (Digital to Analog Converters)** olarak da adlandırılır. Dijital analog çeviriciler giriş olarak birden fazla dijital değeri alabilir. Dijital giriş değeri sayısı dijital analog çeviricinin bağlı olduğu dijital devrenin çıkış sayısına eşittir.

Dijital verilerin analog veriye çevrilmesinde analog çıkışın değerinin belirlenmesinde etkili olan bazı esaslar ve kavramlar vardır. Çevrim işleminin daha iyi anlaşılması için bu öncelikle bu kavramlar aşağıda açıklanmıştır.

##### a) LSB (*En düşük değerlikli bit*)

Dijital devrelerde daha fazla çıkış durumu ifade etmek için çok sayıda çıkış biti vermesi olası bir durumdur. Ancak bitlerin sayısı çoğalınca dijitalden analoga dönüşüm sırasında çok sayıda giriş biti alan bir DAC' nin bunları çıkışa analog değer olarak aktarırken bitlerin ağırlıklarını (çıkış akım veya gerilimine etki oranını) neye göre belirleyeceği problemi ortaya çıkmaktadır. Bu sorunun çözümü sayı sistemlerinin doğal yapısında çözümlenmiştir. Giriş bitleri peş peşe dizilerek bir ikilik sistemde rakam elde edilirse sağdan sola doğru basamakların değerleri de artmaktadır ve artış oranı sayı sisteminin taban değerine göre üstel şekilde belirlenmektedir. Dolayısı ile girişlerin sıralaması çıkışa etki oranını belirler.

	<u>n.basamak</u>	<u>4.basamak</u>	<u>3.basamak</u>	<u>2.basamak</u>	<u>1.basamak</u>
Üstel değer	$2^{n-1}$	$2^3$	$2^2$	$2^1$	$2^0$
Ağırlık	$2^{n-1}$	8	4	2	1

Şekil 5.1: İkilik sayı sisteminde basamak değerleri

Binary (ikili) sayılar yazılırken en sağdaki basamağa en düşük değerlikli bit **LSB (Least Significant Bit-)** olarak adlandırılır ve dönüşüm sırasında analog çıkış üzerindeki değer değişimine en az etkili olan dijital değerdir.

##### b) MSB (*En yüksek değerlikli bit*)

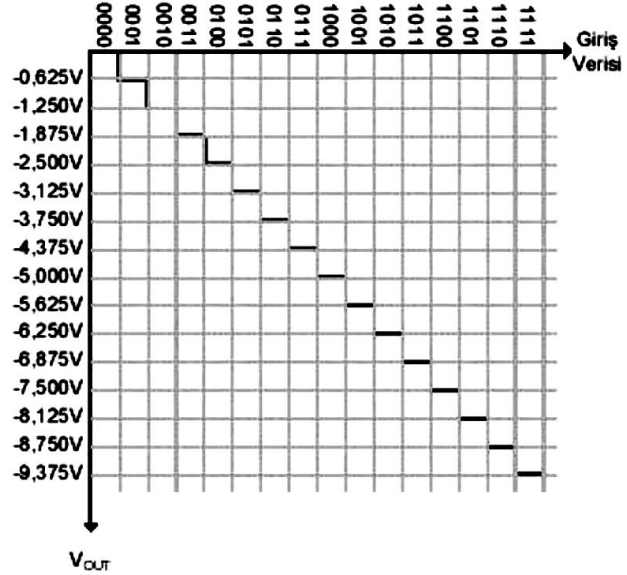


### e) Giriş-Çıkış İlişkisi

Giriş bit'lerindeki değişim çıkış voltajındaki değişim olarak gözlenmektedir. LSB'den MSB'ye doğru bit'lerdeki ağırlık değeri artacağından çıkış voltajı üzerindeki etkisi de artacaktır. Birim artış çözünürlük değerine eşittir. Aşağıdaki şekilde yukarıda örnekte verilen DAC devresinin giriş-çıkış ilişkisi gösterilmiştir.

D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>	V <sub>OUT</sub> (V)
0	0	0	0	-0,000
0	0	0	1	-0,625
0	0	1	0	-1,250
0	0	1	1	-1,875
0	1	0	0	-2,500
0	1	0	1	-3,125
0	1	1	0	-3,750
0	1	1	1	-4,375
1	0	0	0	-5,000
1	0	0	1	-5,625
1	0	1	0	-6,250
1	0	1	1	-6,875
1	1	0	0	-7,500
1	1	0	1	-8,125
1	1	1	0	-8,750
1	1	1	1	-9,375

Giriş Bitleri

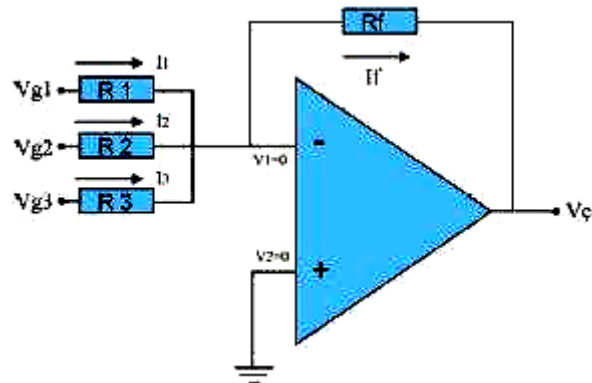


Giriş - Çıkış Grafiği

Şekil 5.3: Giriş-çıkış ilişkisi

### Çalışma Prensibi

Dijital değerlerin analog değerlere dönüştürülmesinde kullanılan temel eleman işlemsel yükselteçlerdir. Dijital analog çeviricilerin çalışma prensiplerini anlayabilmek için işlemsel yükselteçlerin çalışması hakkında bilgi sahibi olmak gereklidir. İşlemsel yükselteçler, girişine uygulanan gerilim değerini yine giriş ve çıkışına bağlanan dirençlerle belirlenen bir oranla çıkışa aktaran devre elemanıdır. Giriş değerinin çıkışa etki oranının belirlenebilmesi sayesinde girişi oluşturan dijital değerlerin çıkışa aktarılma oranı belirlenebilmektedir. İşlemsel yükselteçler elektronik alanında çok farklı amaçlarla kullanılabilir. DAC devrelerinde toplayıcı olarak kullanılabilme özelliğinden faydalanır. Giriş bitlerinin çıkışa etki oranı dirençler ile belirlenerek yükseltilmiş bir analog çıkış elde edilebilir.



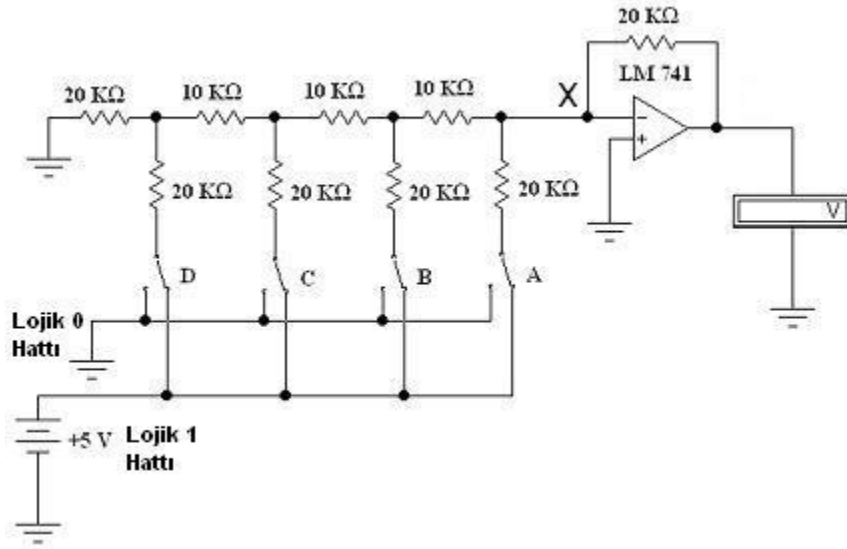
Şekil 5.4: Toplayıcı olarak kullanılan OPAMP devresi

Şekil 5.4' te verilen toplayıcı devresinde  $V_{g1}$ ,  $V_{g2}$  ve  $V_{g3}$  gerilimleri önlerine konulan dirençlerin büyüklüğü ile ters orantılı olarak çıkışa aktarılırlar. Ayrıca giriş gerilimi çıkışa aktarılırken  $R_1$ ,  $R_2$  ve  $R_3$  dirençlerinin eş değeri ile  $R_f$  direncinin oranına göre yükseltilecek aktarılır.

### a) R-2R Merdiven Tip DAC

Bu devrede dirençlerin değerlerinin R-2R olarak sıralanması ve çıkış dalga şeklinin merdiven basamağı şeklinde artması sebebiyle bu tip çeviriciler R-2R merdiven tipi D/A çevirici adını alır. Şekil 5.5'de verilen R-2R merdiven tip DAC devresinde X ile gösterilmiş düğüme A, B, C ve D ile gösterilmiş dijital girişlerin etkileri farklıdır. Önünde çok direnç değeri olan dijital giriş X noktasına daha az akım ulaştıracaktır ve bunun sonucu olarak da çıkıştaki etkisi daha az olacaktır.

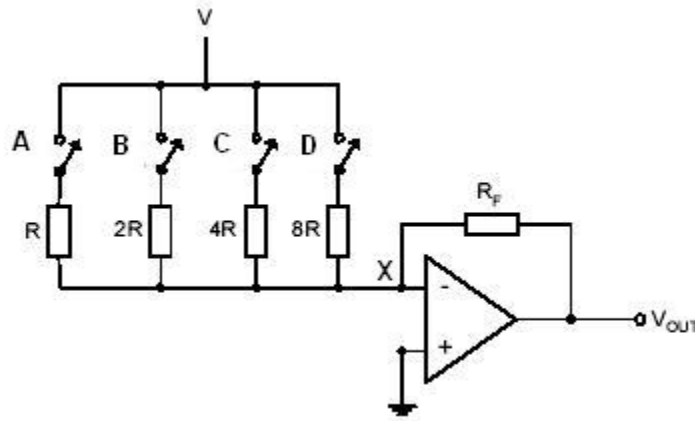
D en değerli bit (LSB) olup devrenin çözünürlüğünü belirler. Referans geriliminin 16' da 1' i kadar çıkışı etkiler. Her bir basamak değeri D'nin etkilediği değer kadar artar. A ise en değerli bit (MSB) olup çıkışa tam skala değerinin yarısı olarak etki eder.



Şekil 5.5: R-2R merdiven tip DAC

### b) Ağırlık Dirençli Tip DAC

Bu devrede dirençlerin değerlerinin ağırlık dirençli olarak sıralanması dijital girişlerin önüne koyulan dirençlerin, dijital girişin çıkışa yansıtılma oranını ile ters orantılı bir şekilde belirlenmesinden kaynaklanır. Dirençler arasındaki oran belirlenirken 2'nin katları şeklinde gidilmesi gereklidir. Şekil 5.6' da verilen ağırlık dirençli tip DAC X ile gösterilmiş düğüme A,B,C ve D ile gösterilmiş dijital girişlerin etkileri farklıdır. Önünde yüksek direnç değeri olan dijital giriş X noktasına daha az akım ulaştıracaktır ve bunun sonucu olarak da çıkıştaki etkisi daha az olacaktır.



Şekil 5.6: Ağırlık dirençli tip DAC

D en değerliksiz bit (LSB) olup devrenin çözünürlüğünü belirler. Referans geriliminin 16'da 1'i kadar çıkışı etkiler. Her bir basamak değeri D'nin etkilediği değer kadar artar. A ise en değerlikli bit (MSB) olup çıkışa tam skala değerinin yarısı olarak etki eder.

DAC0800 entegresi yüksek hızda çalışan 8 bit dijital veriyi analog veriye çevren bir entegre devredir. Simetrik bir güç kaynağı ile beslenmelidir. Referans geriliminin 40'da 1'i kadar çıkışı etkiler.

## 2. Analog/ Digital Dönüştürücüler

Bilgisayar ve dijital sistemler lojik değerler olan 1 ve 0 ile çalışırlar. İkilik sistemin basamakları olan bu değerler analog sistemler için anlamlı değildir. Analog devreler geniş bir gerilim bandında çıkış verebilirler. Bu konuyu şu örnekle açıklayalım. Elektronik terazi veya termometre gibi cihazlar ortamdaki fiziksel değişikliği sensörleri ile algılar. Sensör bulunduran bir analog devre ortamdaki ölçülmekte değişime çıkış gerilimindeki veya akımındaki değer değişimi ile tepki verir. Ancak bu değerler bir ölçü aleti kullanmıyorsak bizler için anlamlı değildir. Ölçülen sıcaklığın veya ağırlığın insanlar için anlamlı olan sayı sistemleri ile ifade edilmesi gerekir. Örneğin 60 kg veya 35 derece gibi. Bu noktada da devreye giren A-D çevriciler sayesinde sensörlerden gelen analog sinyalleri önce ikilik sayı sisteminin rakamları ile ifade edilen dijital veriye çevrilir. Bu aşamadan sonra dijital devreler kodlayıcı ve display devrelerden geçerek insanlar için daha anlamlı olan onluk sayı sistemine çevrilebilir.

Basınç, sıcaklık veya ışık şiddeti gibi ortam değişikliklerini ölçen sensörler akım veya gerilim büyüklüklerini çıkışlarında genellikle analog olarak verirler. Bilgisayar sistemleri ve diğer dijital devreler ise bu değerleri kullanamazlar. Akım ve gerilim gibi analog sinyallerin dijital sinyallere dönüştürme işlemine yapan devrelere de analog-dijital çevirici kısaca **ADC** (Analog to Digital Converters) denir.

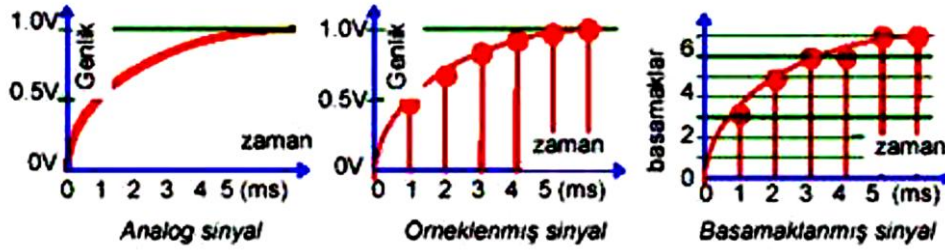
### Çalışma prensibi

Bir analog sinyal dijital sinyale çevrilirken belirlenen zaman dilimlerinde örnekleme yapılmalıdır. Bir referans gerilimi baz alınarak örneklenen her giriş gerilimine karşılık gelen bir dijital değer belirlenir. Analog işaretlerin dijital dönüşürülmesi, örnekleme, basamaklama ve kodlama olmak üzere üç aşamada yapılır.



Şekil 5.7: ADC'lerin çalışma prensibi

Analog sinyaller zaman ve genlik olarak sürekli sinyallerdir. Bunları dijitalleştirmek için önce belli aralıklarda örnekler alınması gerekir. Örnekleme sıklığı uygun seçilmesi gerekir.

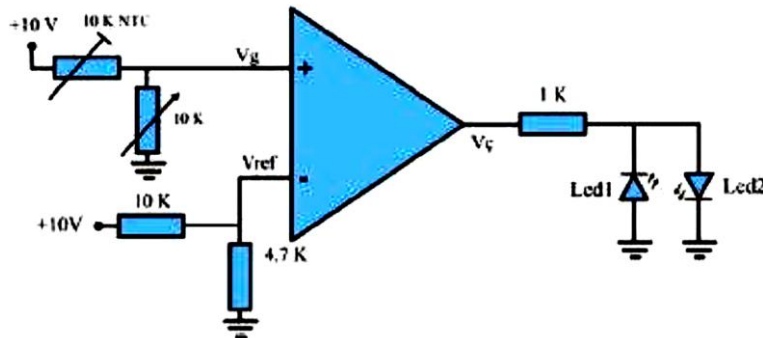


Şekil 5.8: Analog sinyal örnekleme ve basamaklanması

Alınan örnekler genlikleri herhangi bir değerde olabilir. Buna karşılık işaretin dijitalle çevrilebilmesi için kullanılacak seviye sayısının sınırlı olması gerekir. Bu sayı, her bir örnek için kullanılacak kod uzunluğu ya da bit sayısı tarafından belirlenir. Örnek olarak 8-bit'lik bir kodlama yapılacaksa  $2^8 = 256$  seviye, 3-bit'lik bir kodlama yapılacaksa sadece  $2^3 = 8$  seviye kullanılabilir. Seviye veya basamak sayısının artması dönüşüm kalitesini belirler. Daha iyi kalite için daha çok bit ve daha çok basamak kullanmak gerekir. Örnekleme yolu ile çevirmede karşılaşılan sorun belirli bir analog değer aralığına bir dijital değer karşılık gelmesidir. Örnekle açıklamak gerekirse 1.5 volt için 111 dijital çıkışını veren bir çevirici 1.7 volt için de aynı çıkışı verebilir.

#### a) Paralel Tip ADC

Analog büyüklüklerin sayısal işaretlere dönüştürülmesinde kullanılan en kolay ve hızlı çevirici paralel tip ADC çeviricidir. Paralel tip ADC'lerde opampli karşılaştırıcı kullanılmaktadır. Opampli karşılaştırıcı devresinde opamp geri beslemesiz olarak kullanılır ve opamp girişlerinden biri referans olarak kullanılır. Diğer girişin referanstan büyük ya da küçük olmasına göre opamp çıkışı pozitif veya negatif bir değer alır. Opamlarda eviren (-) giriş referans olarak kullanıldığında diğer girişe uygulanan gerilim referans gerilimden büyük olursa çıkış gerilimi pozitif olacaktır.

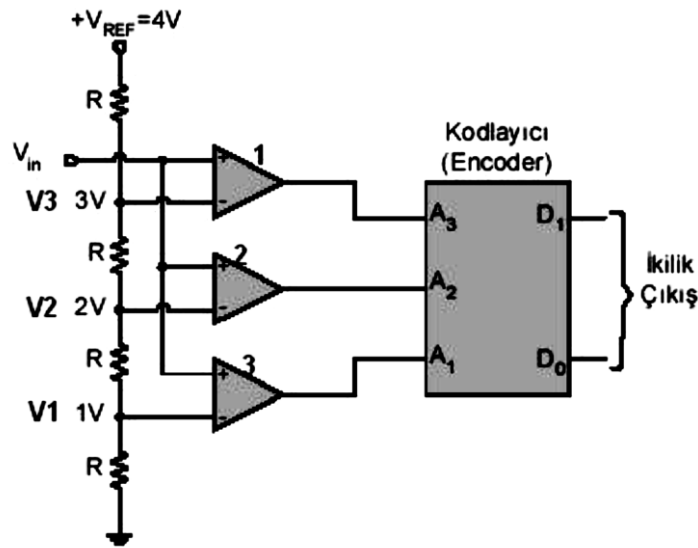


Şekil 5.9: Ortamın ısı değişikliğini opampli karşılaştırma yöntemi ile kontrol edilmesi

Şekil 5.9' da verilen devre ile opampli karşılaştırmanın nasıl yapıldığını daha iyi anlayalım. Devre öncelikle oda sıcaklığını referans alabilmek için 10k pot ile oynayarak **Led1**'in yanık **Led2**'nin sönmük konumda olmasını sağlayalım. Led1'in yanması için opamp çıkışının negatif olması gerekir.  $V_g$  ile verilen giriş geriliminin  $V_{ref}$  ile verilen referans geriliminden küçük olması ile bu olay mümkün olacaktır. NTC ısı etkisine tutulursa direnci düşecektir (odanın ısınması durumunda). NTC'nin direncinin düşmesi sonucunda  $V_g$ 'nin değeri

yükselecek ve  $V_{ref}$  ile belirtilen referans gerilimi olduğu anda opamp çıkışı pozitif olacaktır Led1 sönüp Led2 yanacaktır.

Şkil 5.9' da verilen devrenin çalışma mantığını kullanan çok sayıda karşılaştırıcı, opamp paralel olarak ve her birinde basamaklı olarak artan referans gerilimi kullanıldığında Paralel tip ADC elde edilir. Paralel tip ADC'de çevrilecek olan analog sinyal tüm karşılaştırıcı girişlerine aynı anda paralel olarak uygulanır. Karşılaştırıcıların diğer girişlerine ise referans gerilimi uygulanır. Şkil 5.9' da verilen paralel tip ADC de uygulanan referans gerilimini 4 V olduğunu düşünürsek  $V_3$  noktasında 3 V,  $V_2$  noktasında 2 V ve  $V_1$  noktasında 1 V bulunmaktadır. Uygulanan analog gerilime bağlı olarak karşılaştırıcıların çıkışları lojik 0 ya da 1 ( pozitif olması lojik 1 durumudur) durumunu alır. Bu çıkışlar bir kodlayıcı devre ile ikili sayı sistemine çevrilerek dijital çıkışlar elde edilir.



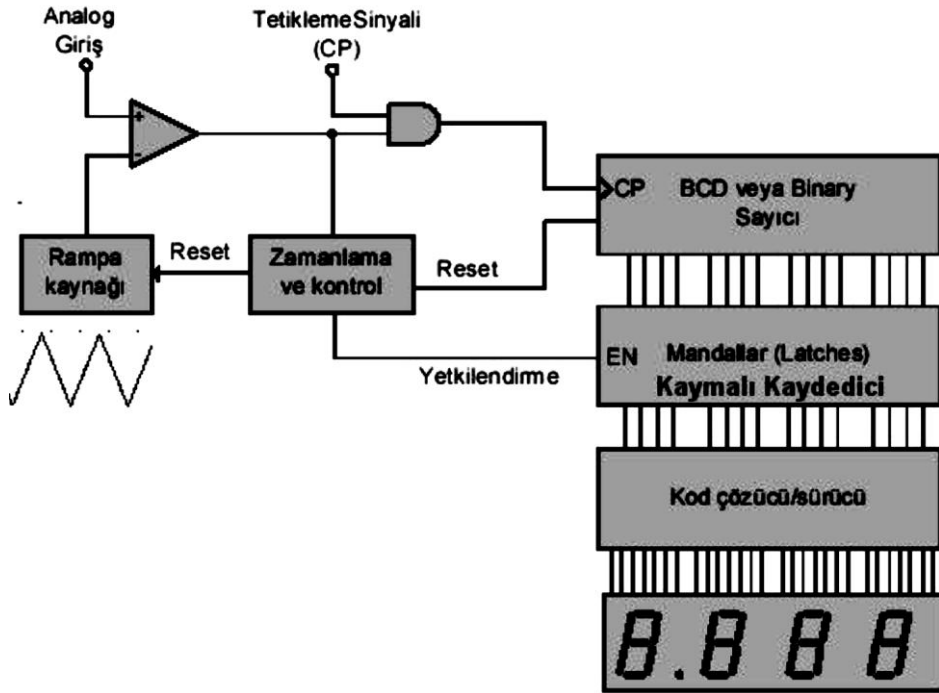
Şkil 5.10: Paralel tip ADC

Şkil 5.10' da verilen devrede  $V_{in}$  gerilimi 2.25 volt olursa 2 ve 3 numaralı opamlara uygulanan referans geriliminde büyük olacağına bu opamların çıkışı pozitif olacaktır. 2.25 volt gerilim 3 numaralı opampın çıkışını pozitif yapmaya yetmeyecektir. Sırası ile  $A_3$ ,  $A_2$ ,  $A_1$  (011) lojik değerlerini alacaktır. Bu değerde kodlandığında (10) çıkışı elde edilecektir.

## b) Sayma Metotlu ADC

A/D çevirimde kullanılan bir diğer yöntem lineer rampa kaynağı, karşılaştırıcı ve sayıcılardan oluşmuş Sayma metotlu ADC çeviricilerdir. Lineer rampa kaynağı, değişmeyen eğimli bir referans voltajının sağlanması için kullanılır. Çevirimin başlangıcında sayıcı reset, rampa kaynağı çıkışı 0 V yapılır. Karşılaştırıcının + girişine uygulanan analog giriş gerilimi, girişinden büyük olduğundan çıkış yükseğe çekilecektir. Bu durumda rampa kaynağı tarafından rampa üretilmeye başlanacak sonra VE kapısının çıkışında tetikleme sinyali görüleceğinden sayıcı sayma işlemine başlayacaktır. Bu işlem rampa kaynağı tarafında üretilen rampa geriliminin, analog giriş geriliminden büyük olmasına kadar devam edecektir. Böylece karşılaştırıcı çıkış alçağa çekilecek, VE kapısının çıkışı lojik-0 olacak ve tetikleme sinyali gitmeyen sayıcı sayma işlemini bitirecektir. Kontrol devresi tarafından yetkilenen mandallar sayıcı verilerini saklayacaktır.





Şekil 5.11: Sayma metotlu ADC

## ADC0804

Analog dijital dönüştürücü olarak yaygın olarak kullanılan entegredir. Özellikleri arasında 8-Bit çözünürlük, 100-ms dönüşüm süresi, 135-ns erişim süresi, sıfırlama gereksinimi yoktur, entegre içi saat üretici (On-chip clock generator), tek 5 Volt'luk besleme gereksinimi, 0Volt - 5Volt arası giriş gerilimi sayılabilir. ADC0804; 8 bit'lik, ardışıl yaklaşımlı, 256R merdiven tipi devre modelini kullanan bir CMOS entegredir. ADC0804'ün referans gerilimi, REF/2 bacağına açık olması durumunda Vcc gerilimi ile analog toprak arasındaki gerilimdir. Ayrıca REF/2 bacağına bağlanacak analog aralık ayar devresi ile daha küçük gerilim değerleri de referans gerilimi olarak seçilebilir. ADC0804, harici bir saat sinyali ile çalışabilir veya sadece ek bir direnç ve kondansatör ile entegrenin iç saat üreticinin sağlayacağı saat sinyali ile çalışabilir. ADC0804C entegresi, 00C ile +700C arasında çalışabilecek şekilde, karakterize edilmiştir. ADC0804 entegresinde dijital dönüşürülecek analog gerilim; 6 nu'lu bacak Vin(+) ve 7 nu'lu bacak Vin(-) diferansiyel girişlerinden uygulanmalıdır. Uygulanan gerilim 0 (sıfır) veya negatif bir değer ise çıkışta alınacak değer 00000000'dır. Dijital ve analog topraklar birbirlerine bağlanabilir, fakat paraziti en aza indirmek için iki bacak da ayrı ayrı topraklanmalıdır.

### DENEYDEN ÖNCE YAPILACAKLAR :

1. Deneyde kullanacağınız ADC0804 ve DAC0800 entegrelerinin özelliklerini ve bacak bağlantılarını araştırınız.
2. ADC ve DAC'ın karakteristiklerini ve özelliklerini entegrelerin kataloğlarından inceleyiniz.
3. DAC'ın doğruluğunda meydana gelen üç hatayı (lineerlik hatası, kayma hatası ve kazanç hatası) araştırınız.
4. 8 bitlik bir ADC ve DAC'ın çözünürlüğünü hesaplayınız. Eğer çıkış gerilimi 5V ise, en küçük değerlikli bit hangi büyüklükte bir gerilim basamağını temsil eder, belirtiniz.
5. R-2R ladder DAC devresini araştırınız kullanımında karşılaşılabilecek avantaj ve dezavantajlar nelerdir, belirtiniz.

**MALZEME LİSTESİ:**

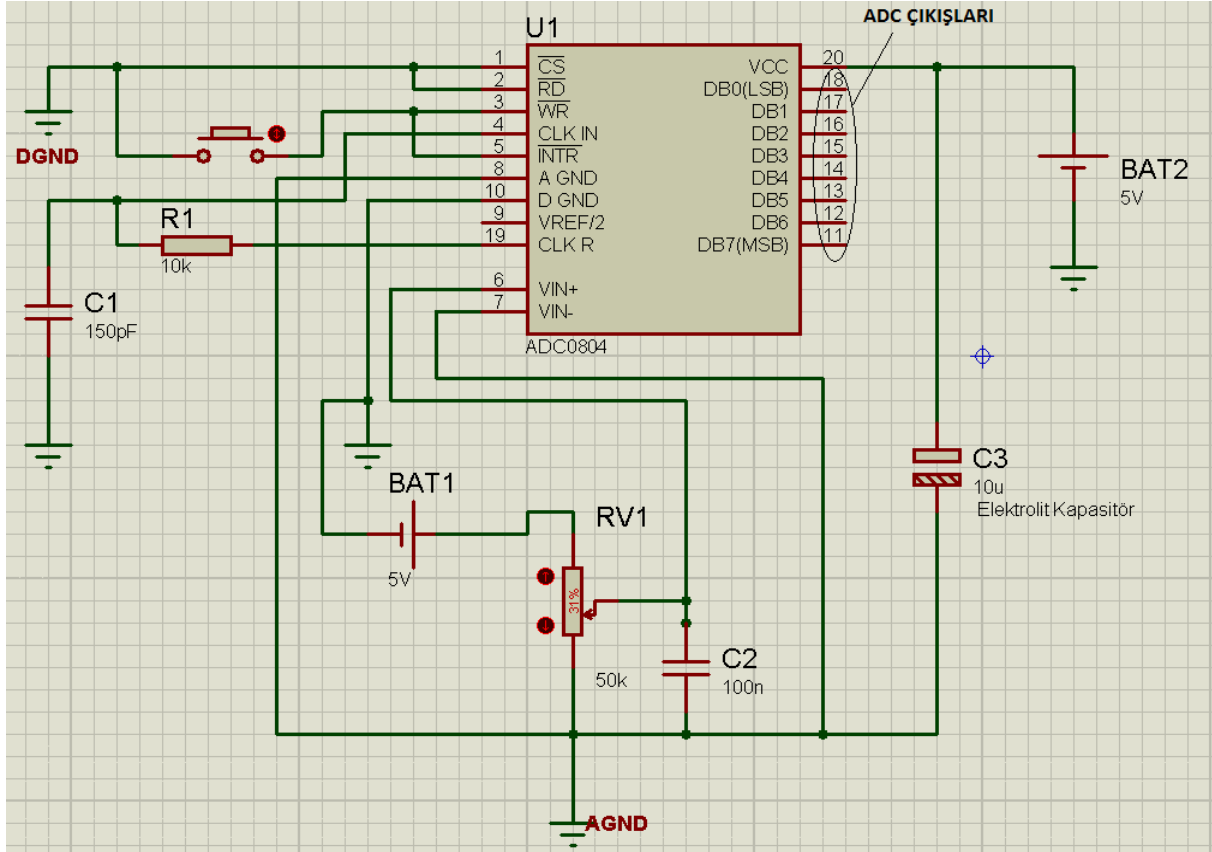
- |                                |                                       |
|--------------------------------|---------------------------------------|
| 3. Entegreler                  | 1 x DAC0800, 1 xADC0804, 1x OPAMP 741 |
| 4. Direnç                      | 5 x 10 k $\Omega$ ,                   |
| 5. Kondansatör                 | 3 x 100nF, 2 x 150pF, 1 x 10 $\mu$ F, |
| 6. Trimpot veya potansiyometre | 1 x 50k $\Omega$                      |

**DENEYİN YAPILIŞI:**

- Şekil-1 ve Şekil-2' deki devreyi kurunuz.
- Eğer ayrı bir analog kaynak kullanmayacaksanız analog ve dijital GND'leri birleştiriniz.
- ADC0804'ün DB0-DB7 çıkışlarını KADET üzerindeki LED diyotlara (DB0 en sağdaki, DB7 en soldaki LED'i yakacak şekilde) ve Şekil-2'deki DAC0800'ün D0-D7 girişlerine bağlayınız.
- Devreye enerji veriniz.
- Potansiyometrenin orta ucundaki gerilim (ADC girişi) 0 Volt oluncaya kadar potansiyometreyi sağa ya da sola çeviriniz (Potansiyometrenin orta ucuna AVO metre bağlayarak gerilimini ölçebilirsiniz).
- Şekil 5.12'de gösterilen BASLAT butonuna basarak ADC0804'ün analog/dijital çevrime başlaması için tetikleyiniz. (NOT: İlk tetiklemeden sonraki tetiklemeler her çevrim sonunda otomatik olarak entegrenin kesme çıkışı (*TIT*) tarafından yapılacaktır.)
- ADC girişinde 0 Volt iken, LED'ler yardımı ile gördüğünüz ADC çıkışını not ediniz. (DB7,DB6,DB5,DB4,DB3,DB2,DB1,DB0 = .....)
- ADC girişini yavaş yavaş artırarak çıkışın 00000001 olduğu andaki giriş gerilimini not ediniz. (.....Volt)
- ADC girişini yavaş yavaş artırarak çıkışın 00000010 olduğu andaki giriş gerilimini not ediniz. (.....Volt)
8. ile 7., 9. ile 8. maddede elde edilen gerilim değerleri arasındaki fark, ADC'nin hangi temel özelliğidir?
- Aşağıdaki tablodaki boş yerleri doldurunuz.

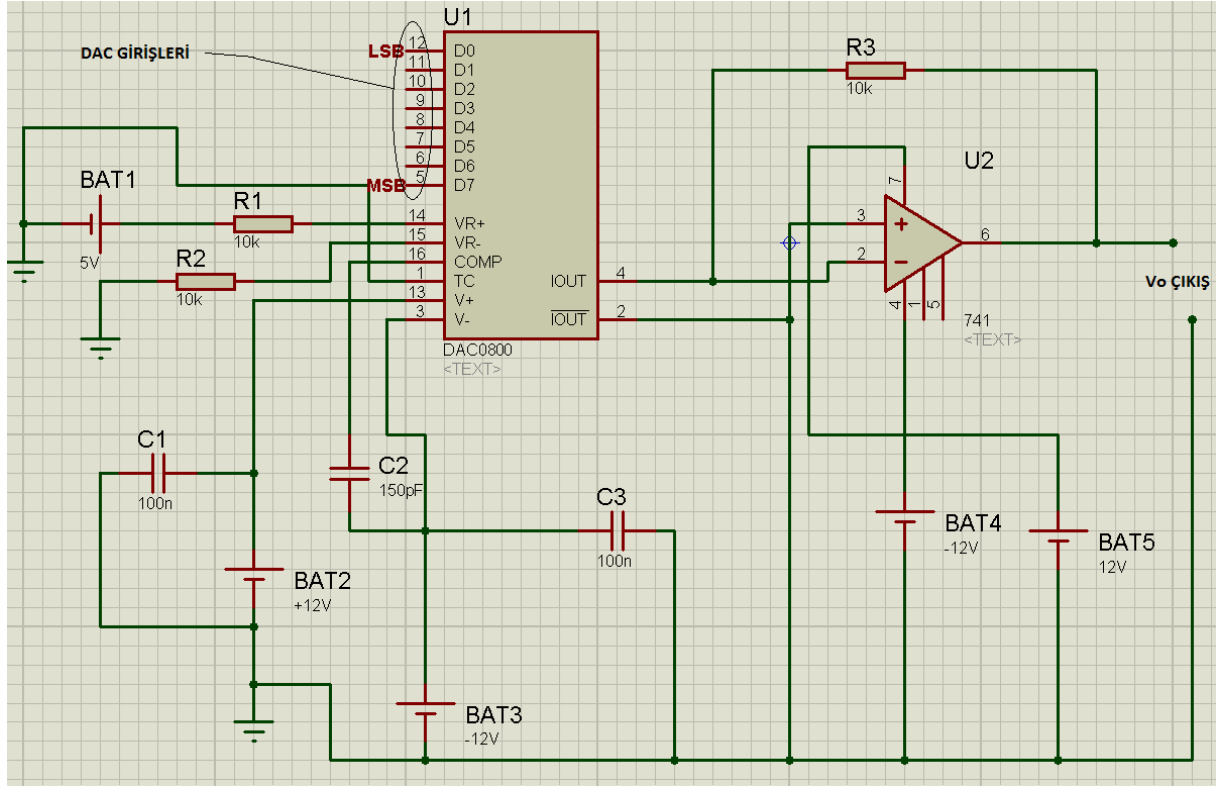
ADC Girişi (V)	ADC Çıkışı veya DAC Girişi DB veya D								DAC Çıkışı (V)
	7	6	5	4	3	2	1	0	
0									
	0	0	0	0	0	0	0	1	
	0	0	0	0	0	0	1	0	
2.5									
5									

- Elde ettiğiniz sonuçlarla hesaplama neticesi elde ettiğiniz sonuçları karşılaştırınız. Arada farklılık varsa nedenini yorumlayınız
- Her iki deney içinde adım büyüklüğü ve % çözünürlük değerlerini bulunuz.



Şekil 5.12. ADC Bağlantısı

**NOT:** Devrede buton yoksa buton yerine 3 no'lu bacak bir kablo yardımıyla GND' ye bağlanıp tekrar sökülebilir.



**Şekil 2. DAC Bağlantısı**

**NOT:** 741 entegresinin beslemelerinin birinin +12 V diğerinin -12 V olduğuna dikkat ediniz.

**DENEY NO : 6.1**

**DENEY ADI : REGİSTERLAR ARASI VERİ ALIŞ-VERİŞİ**

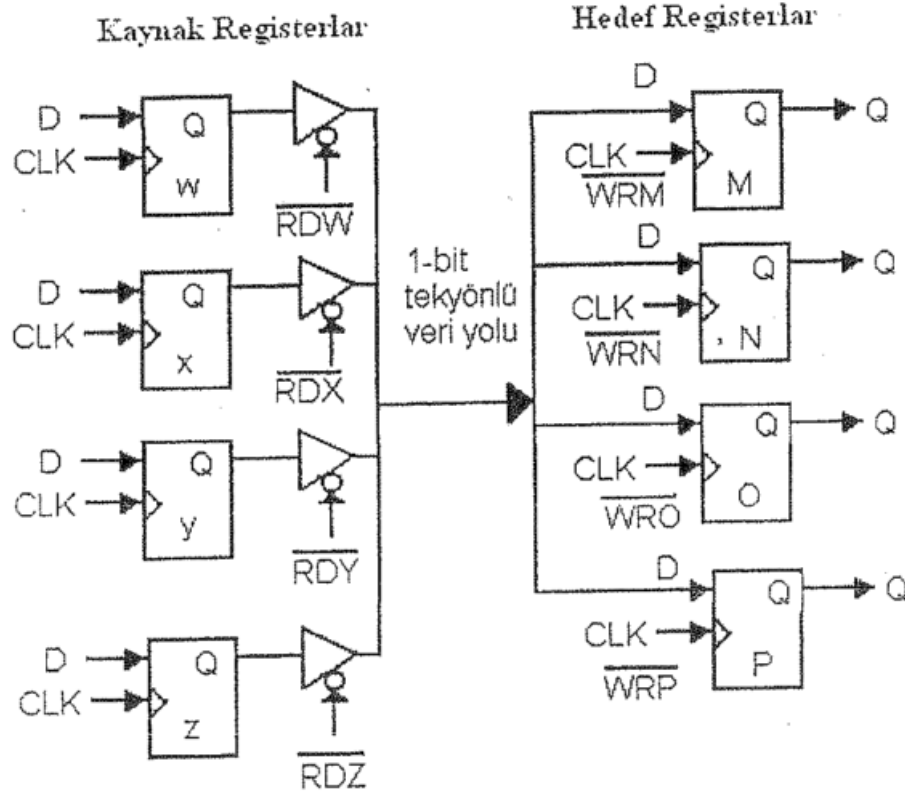
**DENEYİN AMACI :Deneyde registerlar arası veri alış-verişinin nasıl yapıldığının anlaşılması amaçlanmaktadır.**

**NOT: 6. deney seti laboratuvarımızda hazır olup öğrencilerimizin devre kurmasına gerek yoktur. Sadece deneyin teorik kısmına ve ilgili elemanların yapılarına çalışıp gelmeleri yeterli olacaktır.**

#### **DENEY HAKKINDA TEORİK BİLGİLER:**

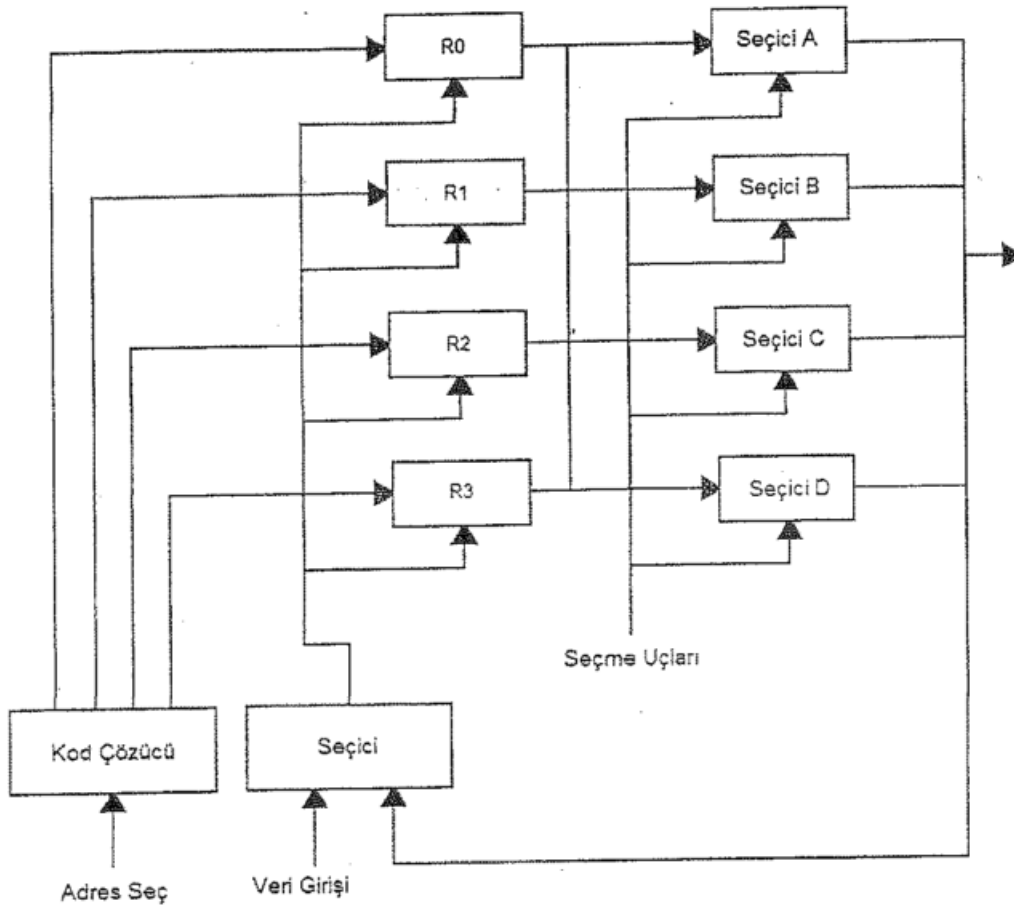
Registerlar arası veri transferi, verinin okunacağı bir kaynak ( source ) register ile verinin yazılacağı bir hedef ( destination ) register gerektirir. Bu iki register bir veri yolu ile bağlanmalıdır. Bir mikroişlemcili sistemde pek çok kaynak ve hedef register bulunabileceği için her kaynak ve hedef çiftini kendilerine ayrılmış bir veri yolu ile bağlamak mümkün değildir. Bu yüzden mikroişlemcili sistemler paylaşılan veri yolu kullanır.

Şekil 1' de soldaki 4 tane 1-bit registerlardan sağdakilere, 1-bit veri yolu üzerinden yapılan, tek yönlü ( unidirectional ) veri transferi için gerekli devre elemanları ve bağlantıları, adres ve kontrol sinyalleri ile kod çözücüler ( decoders ) görülmektedir. Bir veri transferi genelde bir kaynak register ile bir hedef register arasında olur. 3 durumlu çıkışlar, W, X , Y , ve Z registerlarının fiziksel olarak paylaşılan veri yoluna bağlanmasını mümkün kılar. Bununla beraber bir anda sadece bir kaynak register verisini veri yoluna koyabilir. Yani bir anda sadece bir registerın 3 durumlu çıkışı aktif yapılabilir. Seçili registerın dışında diğer bütün kaynak registerların 3 durumlu buffer' ları pasif yapılmalıdır. Eğer iki veya daha çok registerın çıkışları aynı anda aktif yapılırsa, yol çekişmesi ( bus connection ) oluşur. Bu durumda eğer bir buffer ortak bağlantıyı lojik 1 yapmaya, diğeri de lojik 0 yapmaya çalışır ise buffer' larda aşırı akım oluşur. Bu durum en azından veri yolunda geçersiz bir veri üretir ve ayrıca güçte dalgalanma oluştuğu için registerlarda veri kaybına neden olabilir. Buffer' larda aşırı akım cihazın ömrünü etkileyebilir veya aniden onu yakabilir.



Şekil 1 Registerlar arası tek yönlü veri transferi

Kaynak registerlarını ayırabilmek için her birine tek bir kod ( adres ) atanır. Kaynak registerlar W, X, Y ve Z ' nin adresleri sırasıyla 0, 1, 2, 3 ' tür. Bu belirlenen adreslerdeki registerları seçmek için 2-bit adrese ve adreslenmiş registerın 3 durumlu buffer' ını aktif yapacak sinyali üreten bir adres kod çözümü ( address decoding ) mantık devresine ihtiyaç vardır. Diğer bir ek ihtiyaç ise okuma bir okuma darbesi RD ile belirlenen bir zaman süresi kadar, adreslenen registerın veri yolunu sürmesini sağlamaktır. Yol çekişmesine engel olmak için kod çözme lojîğinin uygun bir şekilde tasarımı son derece önemli bir husustur. Şekil 2 ' de kod çözme işlemi 3x8 kod çözücü ( decoder ) ile yapılmaktadır. Şekilde 4 tane register olduğu için decoderin çıkışlarından sadece 4 tanesi kullanılmaktadır. Ayrıca bu şekilde görülen seçiciler registerların çıkışındaki herhangi bir veriyi seçip tekrar istenilen bir registera yüklemeye yararlar.



Şekil 2 Seçiciler yardımıyla registerlar arası veri alış-verişi

**DENEYDEN ÖNCE YAPILACAKLAR:** Deneyde kullanılacak elemanların katalog bilgilerini bulup , bacak bağlantılarını ve özelliklerini araştırınız.

**DENAYDE KULLANILACAK ELEMANLAR:** Deneyde işlemci ünitesi deney seti kullanılacaktır. Deney seti veri girişi, register grubu, decoder ( kod çözücü ) , darbe üretici , multiplexer ( seçici ) grupları, ALU ( Aritmetik Lojik Ünite ) , kaydırıcı ve durum registerı kısımlarından oluşur.

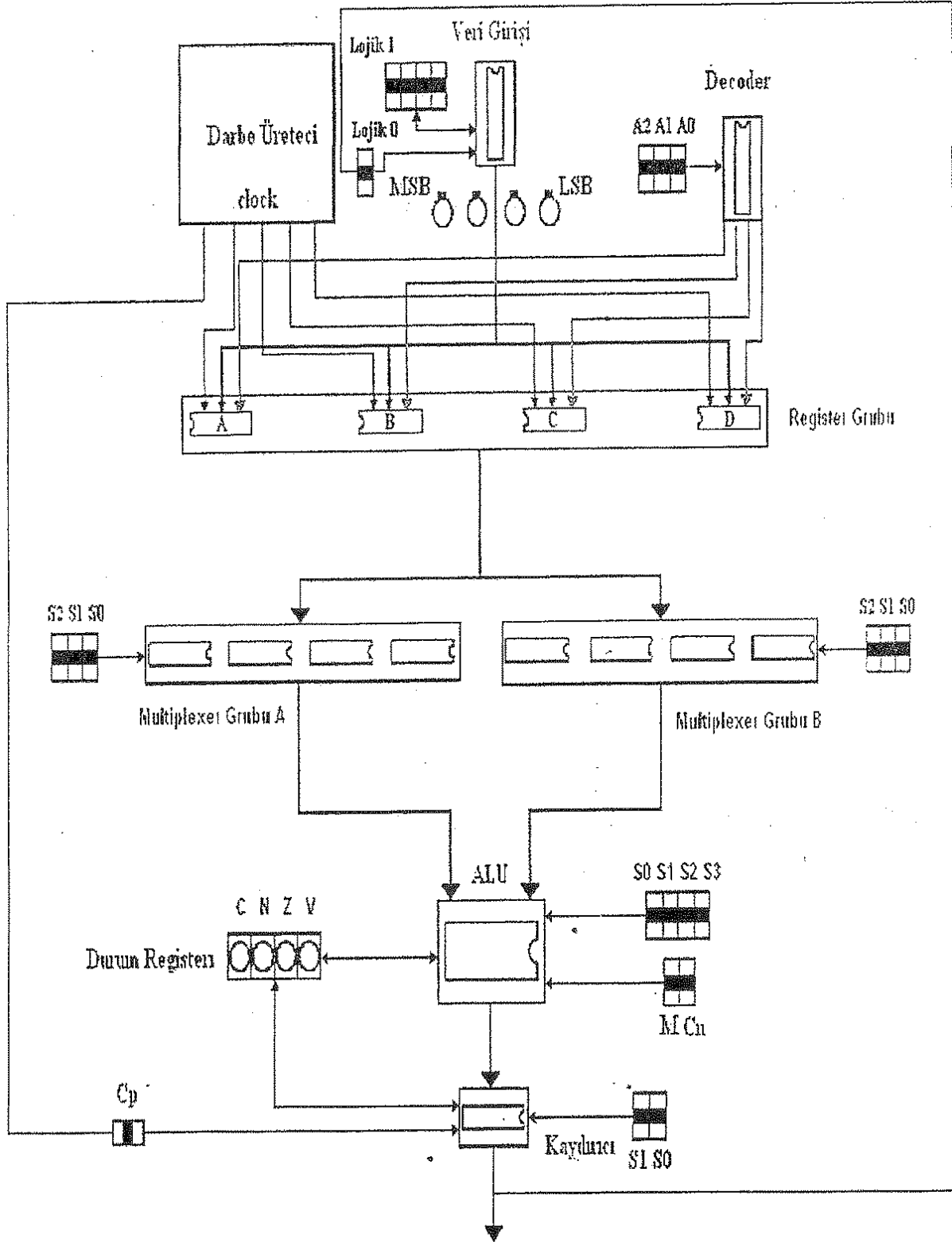
**DENEYİN YAPILIŞI:** Deneyin yapılışını bir örnekle açıklayalım.

A registerına veri yükleyelim. Bunun için decoderin A2, A1, A0 uçları sırasıyla ( 000 ) olmalıdır. Veri girişi kısmından ( 1110 ) hexadecimal sayısını yükleyelim. Bu işlemlerden sonra A registerına (1110 ) verisi yüklenmiştir. A registerındaki veriyi multiplexer grubu A ile seçelim. Bunun için multiplexer grubu A' nın seçme uçları S2, S1, S0 sırasıyla ( 000 ) olmalıdır. Multiplexer grubu A' nın çıkışındaki bu veriyi doğrudan ALU' nun çıkışına almak için ALU 'nun fonksiyon tablosuna bakmalıyız. " F=A " işlemini seçerek bunu gerçekleştirebiliriz. Bunun için ALU ' nun M ucu ( 0 ) , Cn ucu ( 1 ) ve seçme uçları S3, S2, S1, S0 sırasıyla ( 0000 ) yapılmalıdır. Bu işlemin sonucunda ALU' nun çıkışı A registerının çıkışındaki veri olur. Bu veriyi doğrudan kaydırıcının çıkışına almak için kaydırıcının seçme uçları S1 ve S0 (11) olmalıdır. Böylece A registerına yüklemiş olduğumuz veriyi doğrudan kaydırıcının çıkışına aktarmış olduk. Bu veriyi veri girişi kısmındaki tek anahtar 0 yaparak veri girişi kısmına alabiliriz. Daha sonra decoderle herhangi bir register ı seçerek bu veriyi seçtiğimiz registera yükleyebiliriz. Bu veriyi B registerına yükleyelim. Bunun için decoderin A2, A1, A0 uçları sırasıyla ( 001 ) olmalıdır. Bu işlemin sonucunda A registerındaki veriyi B registerına yüklemiş olduk . Sizde farklı verileri farklı registerlara yükleyin.

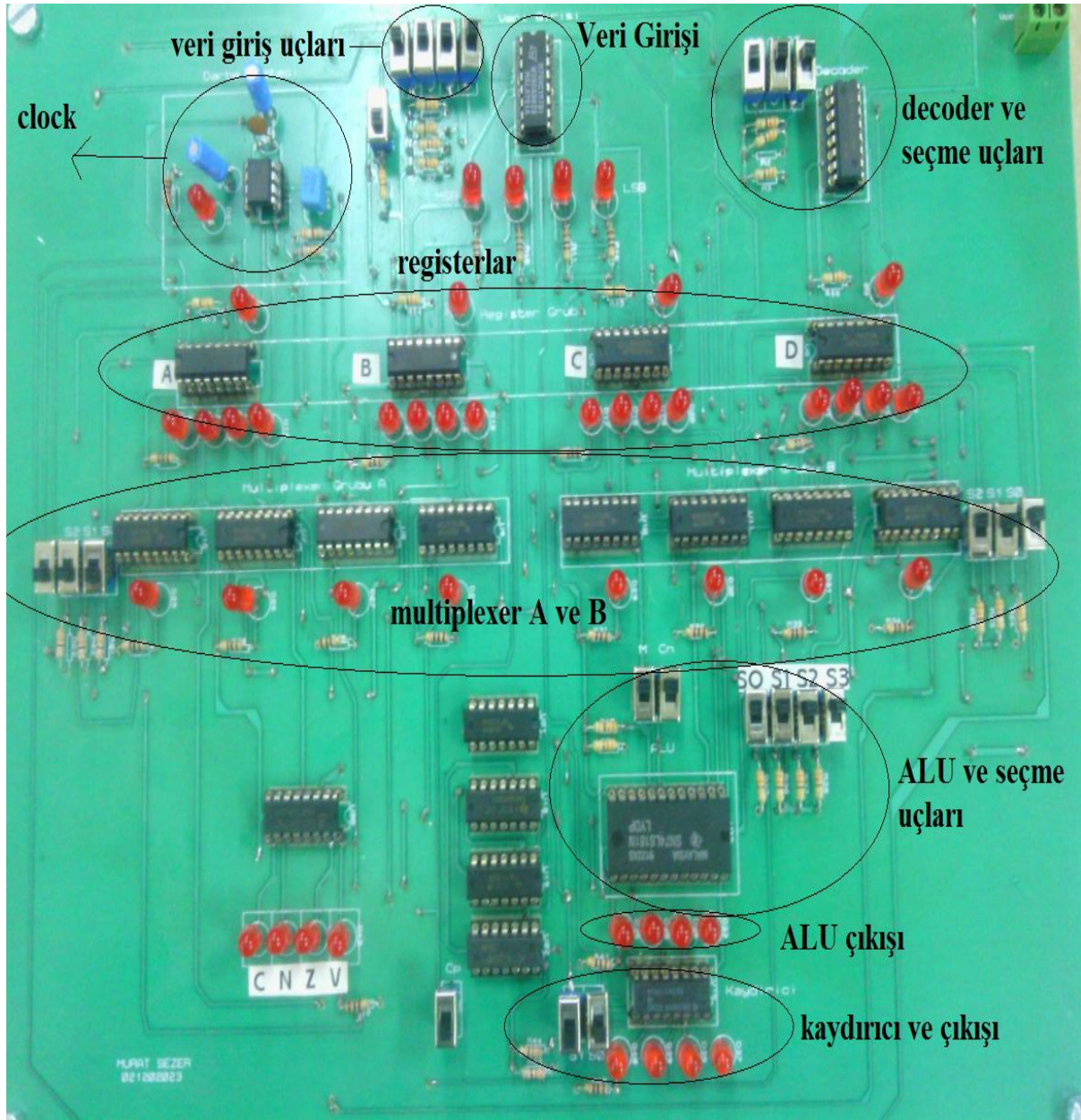
Tablo 1 ALU'nun fonksiyon tablosu

Fonksiyon Tablosu						
Seçme Tablosu				M=1	M=0 ARİTMETİK İŞLEMLER	
s3	s2	s1	s0	Lojik İşlemler	Cn=1	Cn=0
0	0	0	0	$F=\bar{A}$	$F=A$	$F=A$ artı 1
0	0	0	1	$F=\bar{A}+\bar{B}$	$F=A+B$	$F=(A+B)$ artı 1
0	0	1	0	$F=\bar{A}B$	$F=A+\bar{B}$	$F=(A+\bar{B})$ artı 1
0	0	1	1	$F=0$	$F=\text{eksi } 1$	$F=\text{sıfır}$
0	1	0	0	$F=\bar{A}B$	$F=A$ artı $A\bar{B}$	$F=A$ artı $A\bar{B}$ artı 1
0	1	0	1	$F=\bar{B}$	$F=(A+B)$ artı $A\bar{B}$	$F=(A+B)$ artı $A\bar{B}$ artı 1
0	1	1	0	$F=A\oplus B$	$F=A$ eksi $B$ eksi 1	$F=A$ eksi $B$
0	1	1	1	$F=A\bar{B}$	$F=A\bar{B}$ eksi 1	$F=A\bar{B}$
1	0	0	0	$F=\bar{A}+B$	$F=A$ artı $AB$	$F=A$ artı $AB$ artı 1
1	0	0	1	$F=\bar{A}\oplus B$	$F=A$ artı $B$	$F=A$ artı $B$ artı 1
1	0	1	0	$F=B$	$F=(A+\bar{B})$ artı $AB$	$F=(A+\bar{B})$ artı $AB$ artı 1
1	0	1	1	$F=AB$	$F=AB$ eksi 1	$F=AB$
1	1	0	0	$F=1$	$F=A$ artı $A$	$F=A$ artı $A$ artı 1
1	1	0	1	$F=A+\bar{B}$	$F=(A+B)$ artı $A$	$F=(A+B)$ artı $A$ artı 1
1	1	1	0	$F=A+B$	$F=(A+\bar{B})$ artı $A$	$F=(A+\bar{B})$ artı $A$ artı 1
1	1	1	1	$F=A$	$F=A$ eksi 1	$F=A$





Sekil 3 İşlemci ünitesi deney seti blok diyagramı



Şekil 4. İşlemci ünitesi deney seti

**DENEY NO : 6.2**

**DENEY ADI : İŞLEMCİ ÜNİTESİ**

**DENEYİN AMACI :Deneyde işlemcilerin temel yapılarının anlaşılması amaçlanmaktadır.**

**DENEY HAKKINDA TEORİK BİLGİLER:**

Günümüzde işlemci üniteleri birçok alanda kullanılabilen büyük bir teknolojidir. İşlemci ünitesi deney seti bu teknolojinin temelini anlaşılmasına yardımcı olacaktır. Aynı zamanda lojik devre ve lojik devre tasarımı derslerinde anlatılan konuların bazı uygulamalarının da yapılabileceği bir deney setidir.

Veri girişi kısmından girilen 4 bit veri decoder kullanılarak seçilen bir registra yüklenir. Aynı zamanda kaydırıcının çıkışındaki veri de bu kısma alınabilir. Bu kısımda 74HC157 entegresi hem dışarıdan veri girişini hem de kaydırıcının çıkışındaki verinin alınmasını sağlamaktadır. Bu işlem için entegrenin 1 no' lu bacağı kullanılmaktadır. S=0 olduğunda dışarıdan veri , S=1 olduğunda kaydırıcının çıkışındaki veri alınır.

Register grubu kısmında 4 adet register bulunmaktadır. 74LS173 entegreleri kullanılmıştır. Bu kısımda veri girişi kısmından gelen verinin tutulması sağlanmaktadır.

Decoder kısmı veri girişi kısmındaki verinin register grubundaki istenilen bir registra yüklenmesini sağlamaktadır. 74LS138 entegresi kullanılmıştır. Bu entegrenin A2,A1,A0 uçları ile istenilen register seçilir.

Darbe üretici kısmında 1 Hz' lik kare dalga üretilmekte, registerların ve kaydırıcıların tetiklenmesinde kullanılmaktadır.

Multiplexer grubu A ve multiplexer grubu B olmak üzere 2 tanedir. Her iki multiplexer grubunun yapısı da aynıdır. Bu kısımlarda register grubundan herhangi birindeki veri seçilerek ALU' nun girişine verilir. Multiplexer olarak 74LS151 entegresi kullanılmıştır. Bu entegrenin bacaklarından 4 tanesi register grubundan gelen veriler için, 3 tanesi ise gelen verilerin seçiminde kullanılan uçlardır (S0,S1,S2).

ALU , çeşitli kapı devrelerinin yaptığı işlemleri tam olarak yerine getirebildiği gibi bazı ek işlemleri de yapabilmektedir. Yaptığı işlemler aritmetik ve lojik işlemler olarak iki ana grupta toplanır. Bu işlemler için 74LS181 entegresi kullanılmıştır. 24 bacaklı bu entegre bu işlemlerden birini seçmede kullanılır. Bu uç M ile gösterilir. M=0 olduğunda aritmetik işlem , M=1 olduğunda ise lojik işlem seçilmiş olur. Bu entegrenin uçlarından 4 tanesi multiplexer grubu A' daki verinin girişi için ve 4 tanesi de multiplexer grubu B ' deki verinin girişi için kullanılır.. Uçlardan 4 tanesi ise yapılacak aritmetik veya mantık işlemini seçmede kullanılır.( S0,S1,S2,S3 ).

Kaydırıcı kısmında ALU ' dan gelen verinin sağa yada sola kaydırılması mümkündür. 74LS194 entegresi kullanılmıştır. Entegrenin uçlarından 4 tanesi ALU ' dan gelen veri için, 2 tanesi sağa yada sola kaydırma işlemini seçmede kullanılan seçme uçları (S0, S1) için ve 1 tanesi de clock girişi içindir. Kaydırıcının çıkışındaki veri istenilirse veri girişi kısmından registerlara yüklenebilmektedir.

**DENEYDEN ÖNCE YAPILACAKLAR:** Deneyde kullanılacak elemanların katalog bilgilerini bulup bacak bağlantılarını ve elektriksel özelliklerini araştırınız.

**DENEYDE KULLANILACAK ELEMANLAR:** Deneyde işlemci ünitesi deney seti kullanılacaktır.

**DENEYİN YAPILIŞI:** Deneyde 2 tane örnek yapılacaktır. İlk örnekte ALU 'ya aritmetik işlem, ikinci örnekte ise lojik işlem yaptırılacaktır.

1) A registerına veri yükleyelim. Bunun için decoderin A2,A1,A0 uçları sırasıyla ( 000 ) olmalıdır. Veri girişi kısmından ( 1100 ) hexadecimal sayısını girelim. Böylece A registerına (1100 ) verisi yüklenmiş olacaktır. B registerına ise (0010) sayısını yükleyelim. Bunun için decoderin A2,A1,A0 uçları sırasıyla (001) olmalıdır. Daha sonra veri girişi kısmından (0010) verisi girilmelidir. A registerındaki veriyi multiplexer grubu A ile, B registerındaki veriyi de multiplexer grubu B ile seçelim. Bunun için multiplexer grubu A' nin seçme uçları S2,S1,S0 sırasıyla (000) ve multiplexer grubu B' nin seçme uçları S2,S1,S0 sırasıyla (001) olmalıdır. Artık multiplexer gruplarının çıkışlarındaki bu verilerle ALU ' da istediğimiz işlemleri yapabiliriz. ALU fonksiyon tablosu daha önce verilmişti. Bu işlemleri seçmede ALU 'nun fonksiyon tablosuna bakmamız gerekir. 'F=A eksi B ' aritmetik işlemi için ALU 'nun M ucu (0) , Cn ucu (0) ve seçme uçları S3,S2,S1,S0 sırasıyla (0110) yapılmalıdır. Bu işlemin sonucunda ALU' nun çıkışı (1100 – 0010 = 1010 ) olur ve en anlamlı bit 1 olduğu için N bayrağı yanar. Şimdi bu veriyi kaydırıcıda işleme sokalım. (1010 ) verisini sağa kaydıralım ( 2'ye bölme ) . Bunu için kaydırıcının seçme uçları S1,S0 'ı (10) olmalıdır. İlk sağa kaydırma sonucu kaydırıcının çıkışı ( 0101 ) olur. Bu görüldüğü zaman kaydırıcının clock' u kapatılmalıdır. Kapatılmazsa kaydırıcı kaydırma işlemine devam eder.

2) Decoderin uçları A2,A1,A0 uçlarını (010) yapalım. Veri girişi kısmından (1111) hexadecimal sayısını girdiğimizde bu sayı register C ' ye yüklemiş oluruz. Daha sonra decoderin uçları A2,A1,A0 uçlarını (011) yapalım ve veri girişinden (0000) hexadecimal sayısını girelim. Böylece D registerına (0000) hexadecimal sayısını yüklemiş olduk. C

registerındaki veriyi multiplexer grubu A ile , D registerındaki veriyi de multiplexer B ile seçelim. Bunun için multiplexer grubu A' nin seçme uçları S2,S1,S0 sırasıyla (010) ve multiplexer grubu B' nin seçme uçları S2,S1,S0 sırasıyla (011) olmalıdır. Artık multiplexer gruplarının çıkışlarındaki bu verilerle ALU 'da istediğimiz işlemleri yapabiliriz. Bu işlemleri seçmede ALU 'nun fonksiyon tablosuna bakmamız gerekir. 'F=AB' lojik işlemi için ALU 'nun M ucu (1) seçme uçları S3,S2,S1,S0 sırasıyla (1011) yapılmalıdır. Cn ucunun lojik işlemler sırasında bir fonksiyon yoktur. Bu işlem sonucunda ALU' nun çıkışı (0000) olacaktır.

Tablo 1 ALU'nun fonksiyon tablosu

Fonksiyon Tablosu						
Seçme Tablosu				M=1	M=0 ARİTMETİK İŞLEMLER	
s3	s2	s1	s0	Lojik İşlemler	Cn=1	Cn=0
0	0	0	0	$F=\bar{A}$	$F=A$	$F=A$ artı 1
0	0	0	1	$F=\bar{A}+\bar{B}$	$F=A+B$	$F=(A+B)$ artı 1
0	0	1	0	$F=\bar{A}B$	$F=A+\bar{B}$	$F=(A+\bar{B})$ artı 1
0	0	1	1	$F=0$	$F=\text{eksi } 1$	$F=\text{sıfır}$
0	1	0	0	$F=\overline{AB}$	$F=A$ artı $A\bar{B}$	$F=A$ artı $A\bar{B}$ artı 1
0	1	0	1	$F=\bar{B}$	$F=(A+B)$ artı $A\bar{B}$	$F=(A+B)$ artı $A\bar{B}$ artı 1
0	1	1	0	$F=A\oplus B$	$F=A$ eksi $B$ eksi 1	$F=A$ eksi $B$
0	1	1	1	$F=A\bar{B}$	$F=A\bar{B}$ eksi 1	$F=A\bar{B}$
1	0	0	0	$F=\bar{A}+B$	$F=A$ artı $AB$	$F=A$ artı $AB$ artı 1
1	0	0	1	$F=\bar{A}\oplus\bar{B}$	$F=A$ artı $B$	$F=A$ artı $B$ artı 1
1	0	1	0	$F=B$	$F=(A+\bar{B})$ artı $AB$	$F=(A+\bar{B})$ artı $AB$ artı 1
1	0	1	1	$F=AB$	$F=AB$ eksi 1	$F=AB$
1	1	0	0	$F=1$	$F=A$ artı $A$	$F=A$ artı $A$ artı 1
1	1	0	1	$F=A+\bar{B}$	$F=(A+B)$ artı $A$	$F=(A+B)$ artı $A$ artı 1
1	1	1	0	$F=A+B$	$F=(A+\bar{B})$ artı $A$	$F=(A+\bar{B})$ artı $A$ artı 1
1	1	1	1	$F=A$	$F=A$ eksi 1	$F=A$

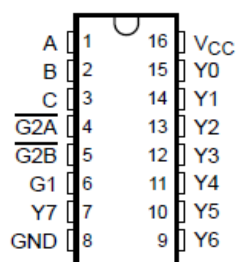
Datasheetlerin geniş versiyonlarına internetten bakılabilir...

## SN54LVC138A, SN74LVC138A 3-LINE TO 8-LINE DECODERS/DEMULTIPLEXERS

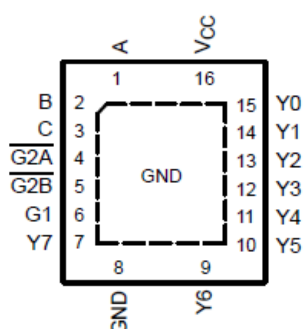
SCAS291N – MARCH 1993 – REVISED AUGUST 2002

- Operate From 1.65 V to 3.6 V
- Inputs Accept Voltages to 5.5 V
- Max  $t_{pd}$  of 5.8 ns at 3.3 V
- Typical  $V_{OLP}$  (Output Ground Bounce)  
<0.8 V at  $V_{CC} = 3.3$  V,  $T_A = 25^\circ\text{C}$
- Typical  $V_{OHV}$  (Output  $V_{OH}$  Undershoot)  
>2 V at  $V_{CC} = 3.3$  V,  $T_A = 25^\circ\text{C}$
- Latch-Up Performance Exceeds 250 mA Per JESD 17
- ESD Protection Exceeds JESD 22
  - 2000-V Human-Body Model (A114-A)
  - 200-V Machine Model (A115-A)
  - 1000-V Charged-Device Model (C101)

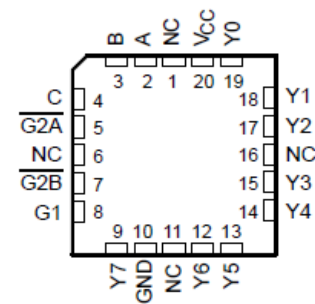
SN54LVC138A ... J OR W PACKAGE  
SN74LVC138A ... D, DB, DGV, NS,  
OR PW PACKAGE  
(TOP VIEW)



SN74LVC138A ... RGY PACKAGE  
(TOP VIEW)



SN54LVC138A ... FK PACKAGE  
(TOP VIEW)



NC – No internal connection

### description/ordering information

### description/ordering information

The SN54LVC138A 3-line to 8-line decoder/demultiplexer is designed for 2.7-V to 3.6-V  $V_{CC}$  operation, and the SN74LVC138A 3-line to 8-line decoder/demultiplexer is designed for 1.65-V to 3.6-V  $V_{CC}$  operation.

The 'LVC138A devices are designed for high-performance memory-decoding or data-routing applications requiring very short propagation delay times. In high-performance memory systems, these decoders minimize the effects of system decoding. When employed with high-speed memories utilizing a fast enable circuit, delay times of these decoders and the enable time of the memory usually are less than the typical access time of the memory. This means that the effective system delay introduced by the decoders is negligible.

### ORDERING INFORMATION

$T_A$	PACKAGE†		ORDERABLE PART NUMBER	TOP-SIDE MARKING
–40°C to 85°C	QFN – RGY	Tape and reel	SN74LVC138ARGYR	LC138A
	SOIC – D	Tube	SN74LVC138AD	LVC138A
		Tape and reel	SN74LVC138ADR	
	SOP – NS	Tape and reel	SN74LVC138ANSR	LVC138A
	SSOP – DB	Tape and reel	SN74LVC138ADBR	LC138A
	TSSOP – PW	Tape and reel	SN74LVC138APWR	LC138A
	TVSOP – DGV	Tape and reel	SN74LVC138ADGVR	LC138A
VFBGA – GQN	Tape and reel	SN74LVC138AGQNR	LC138A	
–55°C to 125°C	CDIP – J	Tube	SNJ54LVC138AJ	SNJ54LVC138AJ
	CFP – W	Tube	SNJ54LVC138AW	SNJ54LVC138AW
	LCCC – FK	Tube	SNJ54LVC138AFK	SNJ54LVC138AFK

† Package drawings, standard packing quantities, thermal data, symbolization, and PCB design guidelines are available at [www.ti.com/sc/package](http://www.ti.com/sc/package).





# SN5400, SN54LS00, SN54S00 SN7400, SN74LS00, SN74S00 QUADRUPLE 2-INPUT POSITIVE-NAND GATES

SDLS025 - DECEMBER 1983 - REVISED MARCH 1988

- Package Options Include Plastic "Small Outline" Packages, Ceramic Chip Carriers and Flat Packages, and Plastic and Ceramic DIPs
- Dependable Texas Instruments Quality and Reliability

### description

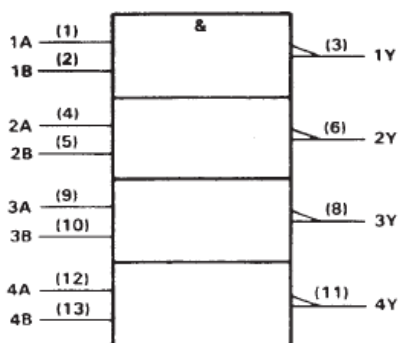
These devices contain four independent 2-input-NAND gates.

The SN5400, SN54LS00, and SN54S00 are characterized for operation over the full military temperature range of -55°C to 125°C. The SN7400, SN74LS00, and SN74S00 are characterized for operation from 0°C to 70°C.

FUNCTION TABLE (each gate)

INPUTS		OUTPUT
A	B	Y
H	H	L
L	X	H
X	L	H

### logic symbol†



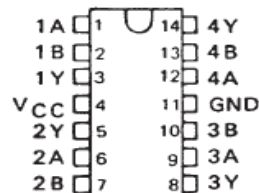
† This symbol is in accordance with ANSI/IEEE Std. 91-1984 and IEC Publication 617-12. Pin numbers shown are for D, J, and N packages.

- SN5400 . . . J PACKAGE
- SN54LS00, SN54S00 . . . J OR W PACKAGE
- SN7400 . . . N PACKAGE
- SN74LS00, SN74S00 . . . D OR N PACKAGE

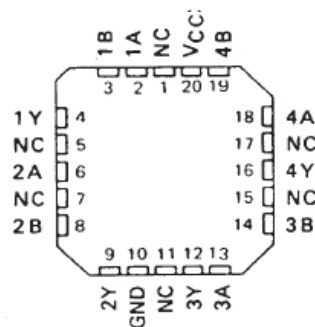
(TOP VIEW)



SN5400 . . . W PACKAGE  
(TOP VIEW)

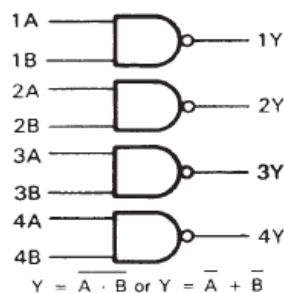


SN54LS00, SN54S00 . . . FK PACKAGE  
(TOP VIEW)



NC - No internal connection

### logic diagram (positive logic)





SDLS027

**SN5402, SN54LS02, SN54S02,  
SN7402, SN74LS02, SN74S02**  
**QUADRUPLE 2-INPUT POSITIVE-NOR GATES**

DECEMBER 1983—REVISED MARCH 1988

- Package Options Include Plastic "Small Outline" Packages, Ceramic Chip Carriers and Flat Packages, and Plastic and Ceramic DIPs
- Dependable Texas Instruments Quality and Reliability

**description**

These devices contain four independent 2-input-NOR gates.

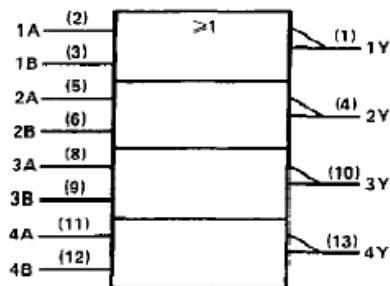
The SN5402, SN54LS02, and SN54S02 are characterized for operation over the full military temperature range of -55°C to 125°C. The SN7402, SN74LS02, and SN74S02 are characterized for operation from 0°C to 70°C.

**FUNCTION TABLE (each gate)**

INPUTS		OUTPUT
A	B	Y
H	X	L
X	H	L
L	L	H

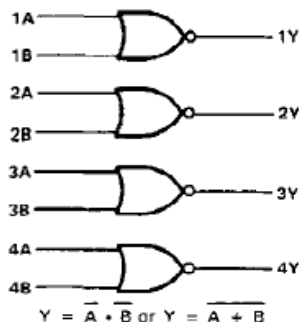
logic symbol†

logic symbol†



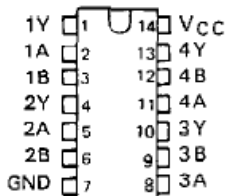
† This symbol is in accordance with ANSI/IEEE Std. 91-1984 and IEC Publication 617-12.  
Pin numbers shown are for D, J, and N packages.

**logic diagram (positive logic)**

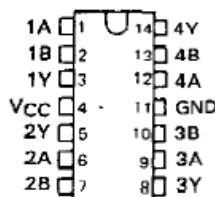


SN5402 . . . J PACKAGE  
SN54LS02, SN54S02 . . . J OR W PACKAGE  
SN7402 . . . N PACKAGE  
SN74LS02, SN74S02 . . . D OR N PACKAGE

(TOP VIEW)

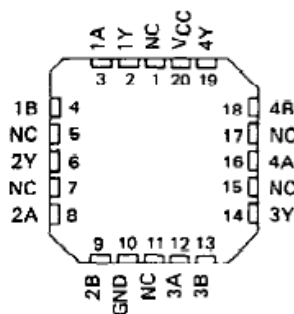


SN5402 . . . W PACKAGE  
(TOP VIEW)



SN54LS02, SN54S02 . . . FK PACKAGE

(TOP VIEW)



NC - No internal connection

## SN5404, SN54LS04, SN54S04, SN7404, SN74LS04, SN74S04 HEX INVERTERS

SDLS029B – DECEMBER 1983 – REVISED FEBRUARY 2002

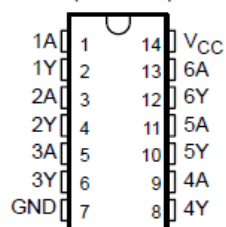
- Dependable Texas Instruments Quality and Reliability

### description

These devices contain six independent inverters.

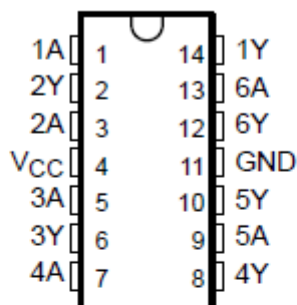
SN5404... J PACKAGE  
SN54LS04, SN54S04... J OR W PACKAGE  
SN7404... D, N, OR NS PACKAGE  
SN74LS04... D, DB, N, OR NS PACKAGE  
SN74S04... D OR N PACKAGE

(TOP VIEW)

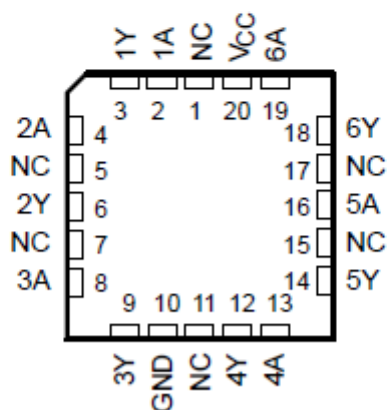


SN5404... W PACKAGE  
(TOP VIEW)

SN5404... W PACKAGE  
(TOP VIEW)



SN54LS04, SN54S04... FK PACKAGE  
(TOP VIEW)



NC – No internal connection

# SN5408, SN54LS08, SN54S08 SN7408, SN74LS08, SN74S08 QUADRUPLE 2-INPUT POSITIVE-AND GATES

SDLS033 - DECEMBER 1983 - REVISED MARCH 1988

- Package Options Include Plastic "Small Outline" Packages, Ceramic Chip Carriers and Flat Packages, and Plastic and Ceramic DIPs
- Dependable Texas Instruments Quality and Reliability

**description**

These devices contain four independent 2-input AND gates.

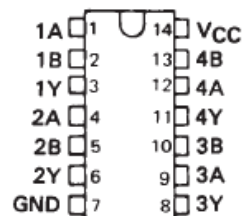
The SN5408, SN54LS08, and SN54S08 are characterized for operation over the full military temperature range of -55°C to 125°C. The SN7408, SN74LS08 and SN74S08 are characterized for operation from 0° to 70°C.

**FUNCTION TABLE (each gate)**

INPUTS		OUTPUT
A	B	Y
H	H	H
L	X	L
X	L	L

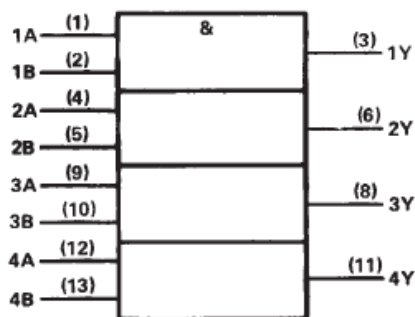
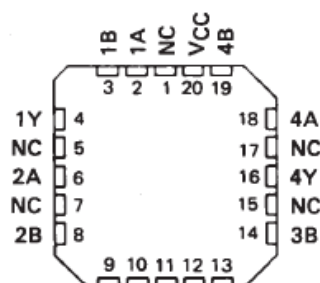
SN5408, SN54LS08, SN54S08 . . . J OR W PACKAGE  
SN7408 . . . J OR N PACKAGE  
SN74LS08, SN74S08 . . . D, J OR N PACKAGE

(TOP VIEW)



SN54LS08, SN54S08 . . . FK PACKAGE

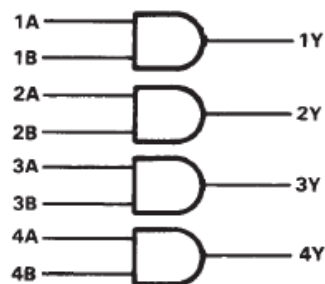
(TOP VIEW)



† This symbol is in accordance with ANSI/IEEE Std 91-1984 and IEC Publication 617-12.  
Pin numbers shown are for D, J, N, and W packages.

NC—No internal connection

**logic diagram (positive logic)**



$$Y = A \cdot B \text{ or } Y = \overline{\overline{A} + \overline{B}}$$

SDLS100

# SN5432, SN54LS32, SN54S32, SN7432, SN74LS32, SN74S32 QUADRUPLE 2-INPUT POSITIVE-OR GATES

DECEMBER 1983 - REVISED MARCH 1988

- Package Options Include Plastic "Small Outline" Packages, Ceramic Chip Carriers and Flat Packages, and Plastic and Ceramic DIPs
- Dependable Texas Instruments Quality and Reliability

## description

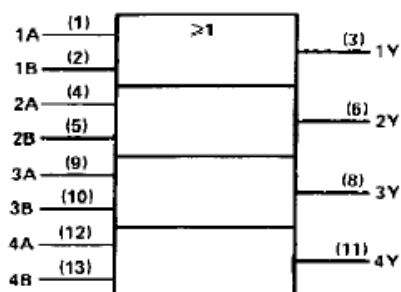
These devices contain four independent 2-input OR gates.

The SN5432, SN54LS32 and SN54S32 are characterized for operation over the full military range of  $-55^{\circ}\text{C}$  to  $125^{\circ}\text{C}$ . The SN7432, SN74LS32 and SN74S32 are characterized for operation from  $0^{\circ}\text{C}$  to  $70^{\circ}\text{C}$ .

FUNCTION TABLE (each gate)

INPUTS		OUTPUT
A	B	Y
H	X	H
X	H	H
L	L	L

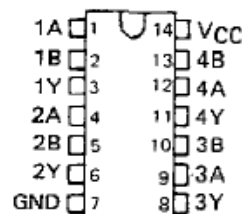
## logic symbol†



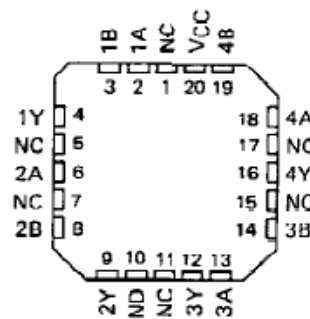
† This symbol is in accordance with ANSI/IEEE Std 91-1984 and IEC Publication 617-12. Pin numbers shown are for D, J, N, or W packages.

SN5432, SN54LS32, SN54S32 . . . J OR W PACKAGE  
SN7432 . . . N PACKAGE  
SN74LS32, SN74S32 . . . D OR N PACKAGE

(TOP VIEW)

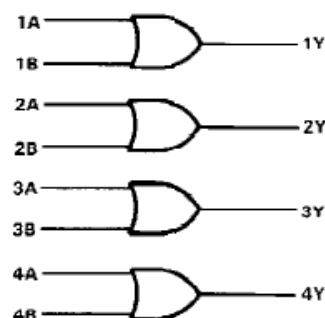


SN54LS32, SN54S32 . . . FK PACKAGE  
(TOP VIEW)



NC - No internal connection

## logic diagram



## positive logic

$$Y = A + B \text{ or } Y = \overline{\overline{A} \cdot \overline{B}}$$

## SN5476, SN54LS76A SN7476, SN74LS76A DUAL J-K FLIP-FLOPS WITH PRESET AND CLEAR

SDLS121 - DECEMBER 1983 - REVISED MARCH 1988

- Package Options Include Plastic and Ceramic DIPs and Ceramic Flat Packages
- Dependable Texas Instruments Quality and Reliability

### description

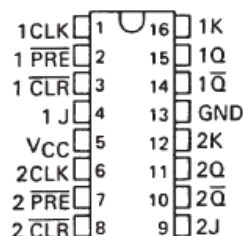
The '76 contains two independent J-K flip-flops with individual J-K, clock, preset, and clear inputs. The '76 is a positive-edge-triggered flip-flop. J-K input is loaded into the master while the clock is high and transferred to the slave on the high-to-low transition. For these devices the J and K inputs must be stable while the clock is high.

The 'LS76A contain two independent negative-edge-triggered flip-flops. The J and K inputs must be stable one setup time prior to the high-to-low clock transition for predicatble operation. The preset and clear are asynchronous active low inputs. When low they override the clock and data inputs forcing the outputs to the steady state levels as shown in the function table.

The SN5476 and the SN54LS76A are characterized for operation over the full military temperature range of  $-55^{\circ}\text{C}$  to  $125^{\circ}\text{C}$ . The SN7476 and the SN74LS76A are characterized for operation from  $0^{\circ}\text{C}$  to  $70^{\circ}\text{C}$ .

SN5476, SN54LS76A . . . J PACKAGE  
SN7476 . . . N PACKAGE  
SN74LS76A . . . D OR N PACKAGE

(TOP VIEW)



'76  
FUNCTION TABLE

INPUTS					OUTPUTS	
PRE	CLR	CLK	J	K	Q	Q̄
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H <sup>†</sup>	H <sup>†</sup>
H	H	⌋	L	L	Q <sub>0</sub>	Q̄ <sub>0</sub>
H	H	⌋	H	L	H	L
H	H	⌋	L	H	L	H
H	H	⌋	H	H	TOGGLE	

'LS76A  
FUNCTION TABLE

INPUTS					OUTPUTS	
PRE	CLR	CLK	J	K	Q	Q̄
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H <sup>†</sup>	H <sup>†</sup>
H	H	↓	L	L	Q <sub>0</sub>	Q̄ <sub>0</sub>
H	H	↓	H	L	H	L
H	H	↓	L	H	L	H
H	H	↓	H	H	TOGGLE	
H	H	H	X	X	Q <sub>0</sub>	Q̄ <sub>0</sub>

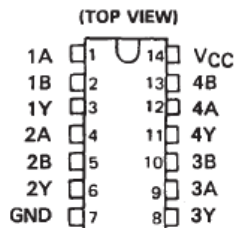
<sup>†</sup> This configuration is nonstable; that is, it will not persist when either preset or clear returns to its inactive (high) level.

**SN5486, SN54LS86A, SN54S86  
SN7486, SN74LS86A, SN74S86  
QUADRUPLE 2-INPUT EXCLUSIVE-OR GATES**  
SDLS124 - DECEMBER 1972 - REVISED MARCH 1988

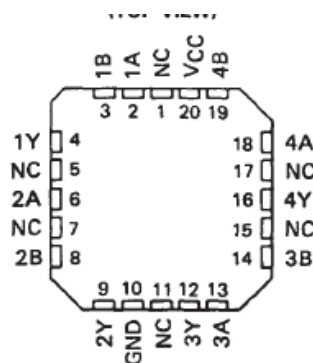
- Package Options Include Plastic "Small Outline" Packages, Ceramic Chip Carriers and Flat Packages, and Standard Plastic and Ceramic 300-mil DIPs
- Dependable Texas Instruments Quality and Reliability

TYPE	TYPICAL AVERAGE PROPAGATION DELAY TIME	TYPICAL TOTAL POWER DISSIPATION
'86	14 ns	150 mW
'LS86A	10 ns	30.5 mW
'S86	7 ns	250 mW

SN5486, SN54LS86A, SN54S86 . . . J OR W PACKAGE  
SN7486 . . . N PACKAGE  
SN74LS86A, SN74S86 . . . D OR N PACKAGE



SN54LS86A, SN54S86 . . . FK PACKAGE  
(TOP VIEW)



NC - No internal connection

**description**

These devices contain four independent 2-input Exclusive-OR gates. They perform the Boolean functions  $Y = A \oplus B = \bar{A}B + A\bar{B}$  in positive logic.

A common application is as a true/complement element. If one of the inputs is low, the other input will be reproduced in true form at the output. If one of the inputs is high, the signal on the other input will be reproduced inverted at the output.

The SN5486, 54LS86A, and the SN54S86 are characterized for operation over the full military temperature range of  $-55^{\circ}\text{C}$  to  $125^{\circ}\text{C}$ . The SN7486, SN74LS86A, and the SN74S86 are characterized for operation from  $0^{\circ}\text{C}$  to  $70^{\circ}\text{C}$ .

**exclusive-OR logic**

An exclusive-OR gate has many applications, some of which can be represented better by alternative logic symbols.



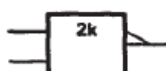
These are five equivalent Exclusive-OR symbols valid for an '86 or 'LS86A gate in positive logic; negation may be shown at any two ports.

**LOGIC IDENTITY ELEMENT**



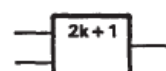
The output is active (low) if all inputs stand at the same logic level (i.e.,  $A=B$ ).

**EVEN-PARITY**



The output is active (low) if an even number of inputs (i.e., 0 or 2) are active.

**ODD-PARITY ELEMENT**



The output is active (high) if an odd number of inputs (i.e., only 1 of the 2) are active.

<p>✓ 54/7411 011035</p> <p>✓ 54H/74H11 011032</p> <p>✓ 54S/74S11 011033</p> <p>✓ 54LS/74LS11 011031</p> <p><b>TRIPLE 3-INPUT AND GATE</b></p>					<p><b>CONNECTION DIAGRAMS</b></p> <p><b>PINOUT A</b></p>				
ORDERING CODE: See Section 9									
PKGS	PIN OUT	COMMERCIAL GRADE	MILITARY GRADE		PKG TYPE				
		$V_{CC} = +5.0\text{ V} \pm 5\%$ , $T_A = 0^\circ\text{C to } +70^\circ\text{C}$	$V_{CC} = +5.0\text{ V} \pm 10\%$ , $T_A = -55^\circ\text{C to } +125^\circ\text{C}$						
Plastic DIP (P)	A	7411PC, 74H11PC 74S11PC, 74LS11PC			9A				
Ceramic DIP (D)	A	7411DC, 74H11DC 74S11DC, 74LS11DC	5411DM, 54H11DM 54S11DM, 54LS11DM		6A				
Flatpak (F)	A	74S11FC, 74LS11FC	54S11FM, 54LS11FM		3I				
	B	7411FC, 74H11FC	5411FM, 54H11FM						
INPUT LOADING/FAN-OUT: See Section 3 for U.L. definitions									
PINS	54/74 (U.L.) HIGH/LOW	54/74H (U.L.) HIGH/LOW	54/74S (U.L.) HIGH/LOW	54/74LS (U.L.) HIGH/LOW					
Inputs	1.0/1.0	1.25/1.25	1.25/1.25	0.5/0.25					
Outputs	20/10	12.5/12.5	25/12.5	10/5.0 (2.5)					
DC AND AC CHARACTERISTICS: See Section 3*									
SYMBOL	PARAMETER	54/74	54/74H	54/74S	54/74LS	UNITS	CONDITIONS		
		Min	Max	Min	Max				Min
$I_{CCH}$	Power Supply	15	30	24	3.6	mA	$V_{IN} = \text{Open}$	$V_{CC} = \text{Max}$	
$I_{CCL}$	Current	24	48	42	6.6		$V_{IN} = \text{Gnd}$		
$t_{PLH}$	Propagation Delay	27	12	2.5	7.0	ns	Figs. 3-1, 3-5		
$t_{PHL}$		19	12	2.5	7.5				11
*DC limits apply over operating temperature range; AC limits apply at $T_A = +25^\circ\text{C}$ and $V_{CC} = +5.0\text{ V}$ .									
					<p><b>PINOUT B</b></p>				